



(TRANSLATION)  
PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application : January 21, 2000

Application Number : Japanese Patent Application  
No. 2000-012946

Applicant (s) : TEAC CORPORATION

December 15, 2000

Kouzo Oikawa

Commissioner,  
Patent Office

Application certificate  
No.2000-3105374

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JCS11 U.S. PTO  
09/758683



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

2000年 1月21日

出 願 番 号  
Application Number:

特願2000-012946

出 願 人  
Applicant (s):

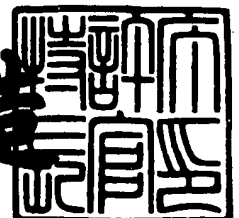
ティアック株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年12月15日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3105374

【書類名】 特許願

【整理番号】 P990905A

【提出日】 平成12年 1月21日

【あて先】 特許庁長官殿

【国際特許分類】 G11B

【発明者】

    【住所又は居所】 東京都武蔵野市中町3丁目7番3号 ティアック株式会社  
社内

    【氏名】 粕谷 喜朗

【特許出願人】

    【識別番号】 000003676

    【氏名又は名称】 ティアック株式会社

【代理人】

    【識別番号】 100072154

    【住所又は居所】 東京都新宿区百人町2-5-8 科研ビル

    【弁理士】

    【氏名又は名称】 高野 則次

    【電話番号】 03-3362-0032

【手数料の表示】

    【予納台帳番号】 059754

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9702378

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像信号再生同期化装置及びこれを有する映像信号再生装置

【特許請求の範囲】

【請求項 1】 垂直同期信号を含む映像信号が記録された記録媒体から映像信号を再生するための信号変換ヘッドと、前記記録媒体と前記信号変換ヘッドとの間に相対的走査運動を生じさせるための駆動装置とをそれぞれ有する複数の映像信号再生装置を同期化させるための装置であって、前記複数の映像信号再生装置の再生信号から垂直同期信号をそれぞれ分離する複数の垂直同期信号分離回路と、

前記複数の垂直同期信号分離回路から得られた複数の垂直同期信号から選択された 1 つの時間位置を参照時間位置として決定するための参照時間位置決定手段と、

前記参照時間位置決定手段で決定された参照時間位置と前記複数の垂直同期信号分離回路から得られた前記複数の垂直同期信号との位相差を示す信号をそれぞれ得るための複数の位相差信号形成回路と、

前記複数の位相差信号形成回路から得られた複数の前記位相差を示す信号の 1 つ又は複数によって前記複数の映像信号再生装置の駆動装置の内の 1 つ又は複数を前記位相差を低減するように制御する制御手段と

を備えていることを特徴とする同期化装置。

【請求項 2】 前記制御手段は、前記複数の垂直同期信号分離回路から得られた前記複数の垂直同期信号の内で最も位相が進んでいるものに対して前記複数の垂直同期信号の内の残りのものが同期化するように前記複数の駆動装置の内の少なくとも 1 つを加速制御するものである請求項 1 記載の同期化装置。

【請求項 3】 前記制御手段は、前記複数の垂直同期信号分離回路から得られた前記複数の垂直同期信号の内で最も位相が遅れているものに対して前記複数の垂直同期信号の内の残りのものが同期化するように前記複数の駆動装置の内の少なくとも 1 つを減速制御するものである請求項 1 記載の同期化装置。

【請求項 4】 前記複数の垂直同期信号分離回路は 1 フィールド当たり 1 個のパルス垂直帰線消去期間に含む垂直同期信号を発生するものであり、

前記参照時間位置決定手段は、前記複数の垂直同期信号分離回路から得られた前記複数の垂直同期信号の中で最も位相が遅れている垂直同期信号の前記パルスの後縁を参照時間位置とするものである請求項 1 乃至 3 のいずれかに記載の同期化装置。

【請求項 5】 前記複数の位相差信号形成回路のそれぞれは、クロック入力端子とデータ入力端子とリセット端子と出力端子とを有する D 型フリップフロップから成り、前記クロック入力端子は前記垂直同期信号分離回路に接続され、前記データ入力端子は電源端子に接続され、前記リセット端子は前記参照時間位置決定手段に接続され、前記出力端子から前記位相差を示す信号を得るものであることを特徴とする請求項 1 乃至 4 のいずれかに記載の同期化装置。

【請求項 6】 前記参照時間位置決定手段は、前記複数の位相差信号形成手段としての D 型フリップフロップの出力信号に基づいて参照時間を決定するものである請求項 5 に記載の同期化装置。

【請求項 7】 前記複数の映像信号再生装置は第 1 及び第 2 の映像信号再生装置から成り、

前記複数の垂直同期信号分離回路は第 1 及び第 2 の垂直同期信号分離回路から成り、

前記複数の位相差信号形成回路は第 1 及び第 2 の D 型フリップフロップから成り、

前記第 1 の D 型フリップフロップのクロック入力端子は第 1 の NOT 回路を介して前記第 1 の垂直同期信号分離回路に接続され、

前記第 2 の D 型フリップフロップのクロック入力端子は第 2 の NOT 回路を有して前記第 2 の垂直同期信号分離回路に接続され、

前記参照時間位置決定手段は、OR ゲートと NOR ゲートと参照用 D 型フリップフロップとを有し、

前記 OR ゲートの第 1 及び第 2 の入力端子は前記第 1 及び第 2 の垂直同期信号分離回路にそれぞれ接続され、

前記 NOR ゲートの第 1 及び第 2 の入力端子は前記第 1 及び第 2 の D フリップフロップ出力端子にそれぞれ接続され、

前記参照用D型フリップフロップのクロック端子は前記ORゲートに接続され、そのデータ入力端子は前記NORゲートに接続され、その出力端子は前記第1及び第2のD型フリップフロップのリセット端子にそれぞれ接続されていることを特徴とする請求項5記載の同期化装置。

【請求項8】 前記制御手段は第1及び第2の加算器又は選択回路から成り、

前記第1の加算器又は選択回路の一方の入力端子は前記第2の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第1のD型フリップフロップの出力端子に接続され、その出力端子は前記第2の映像信号再生装置の前記駆動装置に接続され、

前記第2の加算器又は選択回路の一方の入力端子は前記第1の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第2のD型フリップフロップの出力端子に接続され、その出力端子は前記第1の映像信号再生装置の前記駆動装置に接続されていることを特徴とする請求項7記載の同期化装置。

【請求項9】 前記制御手段は第1及び第2の減算器又は選択回路から成り、

前記第1の減算器又は選択回路の一方の入力端子は前記第1の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第1のD型フリップフロップの出力端子に接続され、その出力端子は前記第1の映像信号再生装置の前記駆動装置に接続され、

前記第2の減算器又は選択回路の一方の入力端子は前記第2の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第2のD型フリップフロップの出力端子に接続され、その出力端子は前記第2の映像信号再生装置の前記駆動装置に接続されていることを特徴とする請求項7記載の同期化装置。

【請求項10】 前記複数の映像信号再生装置は第1及び第2の映像信号再生装置から成り、

前記複数の垂直同期信号分離回路は第1及び第2の垂直同期信号分離回路から成

り、

前記複数の位相差信号形成回路は少なくとも第 1 及び第 2 の D 型フリップフロップと第 1、第 2 及び第 3 の論理回路とを有し、

前記第 1 の D 型フリップフロップのクロック入力端子は前記第 1 の垂直同期信号分離回路に接続され、

前記第 2 の D 型フリップフロップのクロック入力端子は前記第 2 の垂直同期信号分離回路に接続され、

前記第 1 及び第 2 の D 型フリップフロップのデータ入力端子は電源端子に接続され、

前記第 1 の論理回路 (84) は前記第 1 及び第 2 の D 型フリップフロップの出力端子から得られるパルスの全てを通過させるものであり、

前記第 2 の論理回路 (81、85) は、前記第 1 の D 型フリップフロップと前記第 1 の論理回路 (84) とに接続され、

前記第 1 の D 型フリップの出力の位相反転信号と前記第 1 の論理回路 (84) の出力とが同一の極性となる期間に対応する時間幅を有するパルスを発生するものであり、

前記第 3 の論理回路 (82、86) は、前記第 2 の D 型フリップフロップと前記第 1 の論理回路 (84) とに接続され、前記第 2 の D 型フリップフロップの出力の位相反転信号と前記第 1 の論理回路 (84) の出力とが同一の極性となる期間に対応する時間幅を有するパルスを発生するものであり、

前記参照時間位置決定手段は、前記第 1 及び第 2 の D 型フリップフロップが同時に出力パルスを発生した時に前記第 1 及び第 2 の D 型フリップフロップをリセットするための出力を発生する第 4 の論理回路 (77) を有し、この第 4 の論理回路 (77) の第 1 及び第 2 の入力端子は前記第 1 及び第 2 の D 型フリップフロップの出力端子に接続され、この出力端子は前記第 1 及び第 2 の D 型フリップフロップのリセット端子にそれぞれ接続されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の同期化装置。

【請求項 11】 前記複数の映像信号再生装置は第 1、第 2 及び第 3 の映像信号再生装置から成り、

前記複数の垂直同期信号分離回路は第 1、第 2 及び第 3 の垂直同期信号分離回路から成り、

前記複数の位相差信号形成回路は第 1、第 2 及び第 3 の D 型フリップフロップと第 1、第 2、第 3 及び第 4 の論理回路とを有し、

前記第 1 の D 型フリップフロップのクロック入力端子は前記第 1 の垂直同期信号分離回路に接続され、

前記第 2 の D 型フリップフロップのクロック入力端子は前記第 2 の垂直同期信号分離回路に接続され、

前記第 3 の D 型フリップフロップのクロック入力端子は前記第 3 の垂直同期信号分離回路に接続され、

前記第 1、第 2 及び第 3 の D 型フリップフロップのデータ入力端子は電源端子に接続され、

前記第 1 の論理回路 (84) は前記第 1、第 2 及び第 3 の D 型フリップフロップの出力端子から得られるパルスの全てを通過させるものであり、

前記第 2 の論理回路 (81、85) は、前記第 1 の D 型フリップフロップと前記第 1 の論理回路 (84) とに接続され、前記第 1 の D 型フリップフロップの出力の前記位相反転信号と前記第 1 の論理回路 (84) の出力とが同一の極性となる期間に対応する時間幅を有するパルスを発生するものであり、

前記第 3 の論理回路 (82、86) は、前記第 2 の D 型フリップフロップと前記第 1 の論理回路 (84) とに接続され、前記第 2 の D 型フリップフロップの出力の前記位相反転信号と前記第 1 の論理回路 (84) の出力とが同一の極性となる期間に対応する時間幅を有するパルスを発生するものであり、

前記第 4 の論理回路 (83、87) は、前記第 3 の D 型フリップフロップと前記第 1 の論理回路 (84) とに接続され前記第 3 の D 型フリップフロップの出力の位相反転信号と前記第 1 の論理回路 (84) の出力とが同一の極性となる期間に対応した時間幅を有するパルスを発生するものであり、

前記参照時間位置決定手段は、前記第 1、第 2 及び第 3 の D 型フリップフロップが同時に出力パルスを発生した時に前記第 1、第 2 及び第 3 の D 型フリップフロップをリセットするための出力を発生する第 5 の論理回路 (77) を有し、こ



の第 5 の論理回路（77）の第 1、第 2 及び第 3 の入力端子は前記第 1、第 2 及び第 3 の D 型フリップフロップの出力端子に接続され、この出力端子は前記第 1、第 2 及び第 3 の D 型フリップフロップのリセット端子にそれぞれ接続されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の同期化装置。

【請求項 1 2】 前記制御手段は第 1 及び第 2 の加算器又は選択回路から成り、

前記第 1 の加算器又は選択回路の一方の入力端子は前記第 1 の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第 2 の論理回路（81、85）の出力端子に接続され、その出力端子は前記第 1 の映像信号再生装置の前記駆動装置に接続され、

前記第 2 の加算器又は選択回路の一方の入力端子は前記第 2 の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第 3 の論理回路（82、86）の出力端子に接続され、その出力端子は前記第 2 の映像信号再生装置の前記駆動装置に接続されていることを特徴とする請求項 1 0 記載の同期化装置。

【請求項 1 3】 前記制御手段は第 1、第 2 及び第 3 の加算器又は選択回路から成り、

前記第 1 の加算器又は選択回路の一方の入力端子は前記第 1 の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第 2 の論理回路（81、85）の出力端子に接続され、その出力端子は前記第 1 の映像信号再生装置の前記駆動装置に接続され、

前記第 2 の加算器又は選択回路の一方の入力端子は前記第 2 の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第 3 の論理回路（82、86）の出力端子に接続され、その出力端子は前記第 2 の映像信号再生装置の前記駆動装置に接続され、

前記第 3 の加算器又は選択回路の一方の入力端子は前記第 3 の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第 4 の論理回路（83、87）の出力端子に接続され、その出力端子は前記第 3 の映像信号再生装置の前記駆動装置に接続されていることを特徴とする請求項 1

1 記載の同期化装置。

【請求項 1 4】 前記複数の映像信号再生装置は第 1 及び第 2 の映像信号再生装置から成り、

前記複数の垂直同期信号分離回路は第 1 及び第 2 の垂直同期信号分離回路から成り、

前記複数の位相差信号形成回路は少なくとも第 1 及び第 2 の D 型フリップフロップから成り、

前記第 1 の D 型フリップフロップのクロック入力端子は前記第 1 の垂直同期信号分離回路に接続され、

前記第 2 の D 型フリップフロップのクロック入力端子は前記第 2 の垂直同期信号分離回路に接続され、

前記第 1 及び第 2 の D 型フリップフロップのデータ入力端子は電源端子に接続され、

前記参照時間位置決定手段は、前記第 1 及び第 2 の D 型フリップフロップが同時に出力パルスを発生した時に前記第 1 及び第 2 の D 型フリップフロップをリセットするための出力を発生する論理回路 (77) を有し、この論理回路 (77) の第 1 及び第 2 の入力端子は前記第 1 及び第 2 の D 型フリップフロップの出力端子に接続され、この出力端子は前記第 1 及び第 2 の D 型フリップフロップのリセット端子にそれぞれ接続され、

前記制御手段は第 1 及び第 2 の加算器又は選択回路から成り、

前記第 1 の加算器又は選択回路の一方の入力端子は前記第 1 の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第 1 の D 型フリップフロップの出力端子に接続され、その出力端子は前記第 1 の映像信号再生装置の前記駆動装置に接続され、

前記第 2 の加算器又は選択回路の一方の入力端子は前記第 2 の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第 2 の D 型フリップフロップの出力端子に接続され、その出力端子は前記第 2 の映像信号再生装置の前記駆動装置に接続され、

ていることを特徴とする請求項 1 乃至 4 のいずれかに記載の同期化装置。

【請求項 1 5】 前記複数の映像信号再生装置は第 1、第 2 及び第 3 の映像信号再生装置から成り、

前記複数の垂直同期信号分離回路は第 1、第 2 及び第 3 の垂直同期信号分離回路から成り、

前記複数の位相差信号形成回路は第 1、第 2 及び第 3 の D 型フリップフロップから成り、

前記第 1 の D 型フリップフロップのクロック入力端子は前記第 1 の垂直同期信号分離回路に接続され、

前記第 2 の D 型フリップフロップのクロック入力端子は前記第 2 の垂直同期信号分離回路に接続され、

前記第 3 の D 型フリップフロップのクロック入力端子は前記第 3 の垂直同期信号分離回路に接続され、

前記第 1、第 2 及び第 3 の D 型フリップフロップのデータ入力端子は電源端子に接続され、

前記参照時間位置決定手段は、前記第 1、第 2 及び第 3 の D 型フリップフロップが同時に出力パルスを発生した時に前記第 1、第 2 及び第 3 の D 型フリップフロップをリセットするための出力を発生する論理回路 (77) を有し、この論理回路 (77) の第 1、第 2 及び第 3 の入力端子は前記第 1、第 2 及び第 3 の D 型フリップフロップの出力端子に接続され、この出力端子は前記第 1、第 2 及び第 3 の D 型フリップフロップのリセット端子にそれぞれ接続され、

前記制御手段は第 1、第 2 及び第 3 の減算器又は選択回路から成り、

前記第 1 の減算器又は選択回路の一方の入力端子は前記第 1 の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第 1 の D 型フリップフロップの出力端子に接続され、その出力端子は前記第 1 の映像信号再生装置の前記駆動装置に接続され、

前記第 2 の減算器又は選択回路の一方の入力端子は前記第 2 の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第 2 の D 型フリップフロップの出力端子に接続され、その出力端子は前記第 2 の映像信号再生装置の前記駆動装置に接続され、

前記第 3 の減算器又は選択回路の一方の入力端子は前記第 3 の映像信号再生装置の前記駆動装置を制御する信号ラインに接続され、その他方の入力端子は前記第 3 の D 型フリップフロップの出力端子に接続され、その出力端子は前記第 3 の映像信号再生装置の前記駆動装置に接続されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の同期化装置。

【請求項 1 6】 更に、前記複数の映像信号再生装置の全部が再生モードにあるか否かを検出する手段を有し、再生モードでない時には前記複数の映像信号再生装置の同期化を禁止する手段を有していることを特徴とする請求項 1 乃至 1 5 のいずれかに記載の同期化装置。

【請求項 1 7】 更に、前記第 1、第 2 及び第 3 の映像信号再生装置が再生モードであるか否かを示す第 1、第 2 及び第 3 の再生モード指令信号を発生する第 1、第 2 及び第 3 の再生モード指令発生手段を有し、前記第 1、第 2 及び第 3 の再生モード指令信号によって同期化駆動する映像信号再生装置を選択することを特徴とする請求項 1 1 記載の同期化装置。

【請求項 1 8】 前記映像信号再生装置は V T R であり、前記駆動装置は、記録媒体としての磁気テープを定速走行させるためのキャプスタンとこの駆動モータであることを特徴とする請求項 1 乃至 1 7 のいずれかに記載の同期化装置。

【請求項 1 9】 前記位相差を示す信号による前記駆動装置の同期化制御は間欠的な制御であり、この間欠的な制御は再生された映像信号の垂直帰線消去期間に行われることを特徴とする請求項 1 乃至 1 8 のいずれかに記載の同期化装置。

【請求項 2 0】 請求項 1 乃至 1 9 のいずれかに記載の同期化装置を有していることを特徴とする映像信号再生装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば V T R、D V D 等の複数の映像信号再生装置を同期化駆動するための同期化装置及びこれを有する映像信号再生装置に関する。

【0 0 0 2】

## 【従来の技術】

複数台のVTR（ビデオテープレコーダ）を同期再生させて複数の表示装置に同時に再生画像を表示すること、又は複数の再生画像を1つの表示装置に同時に表示させることがある。複数の再生装置を同期駆動する場合には、例えば特開昭52-56513号公報に開示されているように外部の基準信号と再生された映像信号の同期信号との位相比較を行い、ヘッド回転ドラム又はキャプスタンを制御する。

## 【0003】

## 【発明が解決しようとする課題】

ところで、同期化回路を外部の基準信号を使用する様に構成すると、基準信号発生器が必要になり、回路構成が必然的に複雑且つ高価になる。なお、VTRに類似しているDVD、ビデオCD等の他の映像信号再生装置においても同様な問題がある。

## 【0004】

そこで、本発明の目的は、比較的簡単な構成によって複数の映像信号再生装置を同期化駆動することができる同期化装置及びこれを有する映像信号再生装置を提供することにある。

## 【0005】

## 【課題を解決するための手段】

上記課題を解決し、上記目的を達成するための本発明は、垂直同期信号を含む映像信号が記録された記録媒体から映像信号を再生するための信号変換ヘッドと、前記記録媒体と前記信号変換ヘッドとの間に相対的走査運動を生じさせるための駆動装置とをそれぞれ有する複数の映像信号再生装置を同期化させるための装置であって、前記複数の映像信号再生装置の再生信号から垂直同期信号をそれぞれ分離する複数の垂直同期信号分離回路と、前記複数の垂直同期信号分離回路から得られた複数の垂直同期信号から選択された1つの時間位置を基準時間位置即ち参照時間位置として決定するための参照時間位置決定手段と、前記参照時間位置決定手段で決定された参照時間位置と前記複数の垂直同期信号分離回路から得られた前記複数の垂直同期信号との位相差を示す信号をそれぞれ得るための複数

の位相差信号形成回路と、前記複数の位相差信号形成回路から得られた複数の前記位相差を示す信号の1つ又は複数によって前記複数の映像信号再生装置の駆動装置の内の1つ又は複数を前記位相差を低減するように制御する制御手段とを備えていることを特徴とする同期化装置に係わるものである。

【0006】

なお、請求項2に示すように、位相が遅れている再生装置の駆動装置の加速制御によって複数の再生装置を同期化することができる。

また、請求項3に示すように位相が進んでいる再生装置の駆動装置の減速制御によって複数の再生装置を同期化することができる。

また、請求項4に示すように参照時間位置は最も位相が遅れている垂直同期信号に基づいて決定することが望ましい。

また、請求項5に示すように位相差信号形成手段をD型フリップフロップで構成することが望ましい。

また、請求項6に示すように、D型フリップフロップの出力信号に基づいて参照時間位置を決定することが望ましい。

また、請求項7に示すように、位相差信号形成回路を第1及び第2のD型フリップフロップとし、参照時間位置決定手段を例えば図5に示すDRゲート65と、NORゲート66とD型フリップフロップ64とで構成することができる。

また、請求項8に示すように、制御手段を第1及び第2の加算器又は選択回路とし、加速制御することができる。なお、選択回路は図18で符号90で示すもののように2つの入力のいずれか一方のみを選択して出力するものである。

また、請求項9に示すように、制御手段を第1及び第2の減算器又は選択回路とし、減速制御することができる。

また、請求項10に示すように、第1及び第2のD型フリップフロップの出力段に第1、第2及び第3の論理回路を付加することができる。なお、第1の論理回路は、例えば図12のORゲート84であり、第2及び第3の論理回路は例えば図12のANDゲート85、86である。

また、請求項11に示すように第1、第2及び第3の映像信号再生装置を同期化することができる。

また、請求項 1 2 及び 1 3 に示すように請求項 1 0 及び 1 1 の制御手段を加算器又は選択回路とすることができる。

また、請求項 1 2 及び 1 3 の請求項 1 4 及び 1 5 に示すように制御手段を減算器又は選択回路とすることができる。この場合には、減算器を図 1 7 に示すように設けることが望ましい。

また、請求項 1 6 に示すように同期化禁止手段を設けることができる。この同期化禁止手段は、例えば、図 5 及び図 1 6 における V T R 状態判定回路 5 0 と A N D ゲート 6 8、又は図 1 2 における A N D ゲート 7 1、7 2、7 3、8 5、8 6、8 7、又は図 1 7 の A N D ゲート 7 1、7 2、7 3、8 5'、8 6'、8 7' である。

また、請求項 1 7 に示すように 3 台以上の映像信号再生装置を同期化することができるように構成し、停止中又は非接続中の映像信号再生装置がある場合には、このための同期化回路を非動作状態にすることが望ましい。この制御は、例えば、図 1 2 の A N D ゲート 8 5、8 6、8 7 又は図 1 7 の A N D ゲート 8 5'、8 6'、8 7' によって行われる。

また、請求項 1 8 に示すように映像信号再生装置を V T R とし、駆動装置をキャプスタン駆動モータとすることができる。

また、請求項 1 9 に示すように同期化制御を垂直帰線消去期間に行うことが望ましい。

また、請求項 2 0 に示すように同期化装置を映像信号再生装置に一体化することができる。

【 0 0 0 7 】

#### 【発明の効果】

各請求項の発明によれば、複数の映像信号再生装置で再生された複数の垂直同期信号の 1 つに対応するように参照時間位置を決定し、この参照時間位置と複数の垂直同期信号との位相差を示す信号を形成し、この信号に基づいて駆動装置を制御するので、同期化回路の小型化及び低コスト化を図ることができる。

また、請求項 5 ～ 1 5 の発明によれば、D 型フリップフロップによって位相差を示す信号を容易に作ることができる。

また、請求項 6 ～ 1 5 の発明によれば、参照時間位置を容易に決定することができる。

また、請求項 1 6 及び 1 7 の発明によれば制御の誤動作を防ぐことができる。

また、請求項 1 9 の発明によれば、同期化制御が垂直帰線消去間で行われるので、再生画像に影響しないように同期化させることができる。

【 0 0 0 8 】

【実施形態及び実施例】

次に、図 1 ～ 図 1 7 を参照して本発明の実施形態及び実施例を説明する。

【 0 0 0 9 】

【第 1 の実施例】

まず、図 1 ～ 図 9 に基づいて第 1 の実施例の映像信号再生システムを説明する。

【 0 0 1 0 】

第 1 の実施例の再生システムは、図 1 に概略的に示すように、再生装置としての第 1 及び第 2 の V T R 1 a、1 b と、第 1 及び第 2 の表示装置 2 a、2 b と、同期化装置 3 とから成る。第 1 及び第 2 の V T R 1 a、1 b は相互に関係を有する第 1 及び第 2 の映像信号を記録及び再生し、再生時には再生された映像信号を周知の T V モニタから成る第 1 及び第 2 の表示装置 2 a、2 b に送る。なお、第 2 の表示装置 2 b を省き、破線で示すように第 2 の V T R 1 b の第 2 の映像信号を第 1 の表示装置 2 a に送り、第 1 及び第 2 の映像信号に基づく第 1 及び第 2 の画像を 1 つの表示面に同時に表示することもできる。

第 1 及び第 2 の V T R 1 a、1 b に結合された同期化装置 3 は、第 1 及び第 2 の V T R 1 a、1 b の再生出力から垂直同期信号を抽出し、これに基づいて第 1 及び第 2 の V T R 1 a、1 b の再生時の同期化制御を行うものである。

【 0 0 1 1 】

図 2 は図 1 の第 1 及び第 2 の V T R 1 a、1 b を詳しく示すものである。第 1 及び第 2 の V T R 1 a、1 b は実質的に同一に構成されているので、実質的に同一の部分には同一の参照数字を付し、第 1 及び第 2 の V T R 1 a、1 b を区別するために添字 a、b を付し、第 1 の V T R 1 a のみを詳しく説明し、第 2 の V T



R 1 b の詳しい説明を省略する。

【 0 0 1 2 】

磁気テープ記録再生装置としての V T R 1 a は、例えば周知の V H S 型 V T R と本質的に同一に構成されている。この V T R 1 a で使用されるテープカセット 4 a は一対のリール 5 a、6 a に巻回された磁気テープ 7 a を有する。記録媒体としての磁気テープ 7 a には、N T S C 方式や P A L 方式等の所謂標準テレビジョン方式に従う複合映像信号（ビデオ信号）が斜めトラック形式で記録されている。複合映像信号は、周知のように垂直同期信号を含み、且つ垂直帰線消去期間を除いた部分に映像情報が記録されている。また、磁気テープ 7 a には周知のコントロール信号がテープ 7 a の長手方向に沿って記録されている。

なお、この実施例では、第 1 及び第 2 の磁気テープ 7 a、7 b に相互に関係を有する第 1 及び第 2 の映像信号が記録されている。

【 0 0 1 3 】

磁気テープ 7 a は複数のガイドピンに案内されて回転ドラム 8 a に  $\Omega$  状に巻き付けられている。また、磁気テープ 7 a は斜めトラックの走査を行うためにドラム 8 a の軸に対して傾斜した状態にドラム 8 a に巻き付けられている。ドラム 8 a には信号変換ヘッドとして対の磁気ヘッド 9 a、1 0 a が取り付けられている。対の磁気ヘッド 9 a、1 0 a は複合映像信号を記録及び再生するものであって、ドラム 8 a と共にモータ 1 1 a によって回転される。なお、図 2 において、磁気ヘッド 9 a、1 0 a 及びこの電氣的接続は概略的又は説明的に示されている。

【 0 0 1 4 】

テープ 7 a の走行経路には、それぞれ周知のコントロールヘッド 1 2 a、オーディオヘッド（図示せず）、消去ヘッド（図示せず）、キャプスタン 1 3 a、ピンチローラ 1 4 a 等が配置されている。テープ 7 a を一定速度で走行させるためのキャプスタン 1 3 a にはこれを回転するためのモータ 1 5 a が結合されている。また、各モータ 1 1 a、1 5 a には速度制御のために周知のタコメータ（回転速度計）1 6 a、1 7 a がそれぞれ結合されている。また、ドラム 8 a には周知のヘッド切換位置決定用の被検出部 1 8 a が設けられ、この回転通路に沿って周知のヘッド切換位置検出ヘッド（P G ヘッド）1 9 a が配置されている。

## 【 0 0 1 5 】

V T R 1 a は、更に、テープ走行装置 2 0 a、信号処理回路 2 1 a、コントローラ 2 2 a、ドラムモータ駆動回路 2 3 a、キャプスタンモータ駆動回路 2 4 a 等を有する。

テープ走行装置 2 0 a はコントローラ 2 2 a の制御に基づいてテープカセット 4 a のリール 5 a、6 a を駆動する周知の装置である。

信号処理回路 2 1 a は対の磁気ヘッド 9 a、1 0 a に接続され、再生信号の処理及び記録信号の処理を行う。即ち、信号処理回路 2 1 a は周知のヘッド切換回路、ビデオ増幅器、FM 復調器等を含む再生信号処理回路と、記録のための FM 変調器と記録増幅器等を含む記録信号処理回路とから成る。信号処理回路 2 1 a は複合映像信号を出力するための第 1 及び第 2 の出力端子 2 5 a、2 6 a に接続されている。

コントローラ 2 2 a はコントロールヘッド 1 2 a、タコメータ 1 6 a、1 7 a、ヘッド切換位置検出ヘッド 1 9 a、テープ走行装置 2 0 a、信号処理回路 2 1 a、2 つの駆動回路 2 3 a、2 4 a、及び同期化装置 3 に接続されている。

## 【 0 0 1 6 】

コントローラ 2 2 a は C P U 即ちマイコンを含んで各種の制御を司る周知の制御手段であり、等価的に図 3 に示すようにドラムモータサーボ回路 3 1 a と、テープ走行制御回路 3 2 a と、信号処理制御回路 3 3 a と、キャプスタンモータサーボ回路 3 4 a と、再生指令回路 3 5 a と、テープ終端検出回路 3 6 a と、同期信号分離制御回路 3 7 a とを有する。

ドラムサーボ回路 3 1 a はヘッド切換位置検出ヘッド 1 9 a の出力及びタコメータ 1 6 a の出力に基づいてドラムモータ 1 1 a の制御信号を形成し、図 2 の駆動回路 2 3 a に送る。

テープ走行制御回路 3 2 a は図 2 のテープ走行装置 2 0 a を制御する信号を形成する。

信号処理制御回路 3 3 a は図 2 の信号処理回路 2 1 a を制御するための信号を形成する。

キャプスタンモータサーボ回路 3 4 a はコントロールヘッド 1 2 a 及びタコメ

ータ 1 7 a の出力に基づいてテープ 7 a を所望速度で走行させるようにキャプスタンモータ 1 5 a を制御する信号を形成し、キャプスタン駆動回路 2 4 a と第 1 の外部接続端子 3 8 a とに送る。

再生指令回路 3 5 a は、再生ボタン（図示せず）の操作に応答して再生モードを示すプレイ信号を作成して第 2 の外部接続端子 3 9 a に送る。プレイ信号は第 2 の外部接続端子 3 9 a 以外にも供給されるが、図 3 ではこの供給回路が省略されている。

テープ終端検出回路 3 6 a はテープ 7 a が記録再領域の終端（E O T）に達しているか否かを示す信号を第 3 の外部接続端子 4 0 a に送る。

同期信号分離制御回路 3 7 a は、垂直同期信号の分離を制御するための信号を第 4 の外部接続端子 4 1 a に送る。

#### 【 0 0 1 7 】

図 4 は、図 1 及び図 2 の V T R 1 a、1 b の一部と同期化装置 3 を示すブロック図である。アダプタ構成の同期化装置 3 は、第 1 及び第 2 の垂直同期信号分離回路 4 2 a、4 2 b と同期化信号作成回路 4 3 とから成る。

第 1 の垂直同期信号分離回路 4 2 a は第 1 の V T R 1 a の第 2 の映像信号出力端子 2 6 a に接続されている。第 2 の垂直同期信号分離回路 4 2 b は第 2 の V T R 1 b の第 2 の映像信号出力端子 2 6 b に接続されている。また、第 1 の垂直同期信号分離回路 4 2 a は図 3 に示すコントローラ 2 2 a の第 4 の外部接続端子 4 1 a を介して同期信号分離制御回路 3 7 a に接続されている。また、第 2 の垂直同期信号分離回路 4 2 b は第 2 の V T R 1 b のコントローラ 2 2 b の第 4 の外部接続端子 4 1 b に接続されている。第 1 及び第 2 の垂直同期信号分離回路 4 2 a、4 2 b は、第 1 及び第 2 の V T R 1 a、1 b から得られた第 1 及び第 2 の複合映像信号の周知の垂直同期パルスを周知の方法でそれぞれ検出し、1 フィールド期間に 1 個の方形波パルスを同期化信号作成回路 4 3 に送る。この垂直同期信号分離回路 4 2 a、4 2 b を第 1 及び第 2 の V T R 1 a、1 b 側に設けることができる。なお、垂直同期信号の分離はテレビジョン技術の分野で周知であるので、詳しい説明は省略する。

#### 【 0 0 1 8 】

同期化信号作成回路 4 3 は第 1 及び第 2 の垂直同期信号分離回路 4 2 a、4 2 b にライン 4 4 a、4 4 b で接続されていると共に、ライン 4 5 a、4 6 a、4 7 a によって第 1 の V T R 1 a の第 1、第 2 及び第 3 の外部接続端子 3 8 a、3 9 a、4 0 a に接続され、更に、ライン 4 5 b、4 6 b、4 7 b によって第 2 の V T R 1 b の第 1、第 2 及び第 3 の外部接続端子 3 8 b、3 9 b、4 0 b に接続されている。また、同期化作成回路 4 3 の第 1 及び第 2 の出力ライン 4 8 a、4 8 b は第 1 及び第 2 の V T R 1 a、1 b の第 5 の外部接続端子 4 9 a、4 9 b を介してそれぞれのキャプスタンモータ駆動回路 2 4 a、2 4 b に接続されている。

## 【 0 0 1 9 】

同期化信号作成回路 4 3 はライン 4 4 a、4 4 b で与えられた第 1 及び第 2 の垂直同期信号の相互間の位相差を検出し、一方の垂直同期信号を基準にして他方の垂直同期信号がこれに追従するようにキャプスタンモータ 1 5 a、1 5 b を制御するための同期化信号を作成する。

## 【 0 0 2 0 】

同期化信号作成回路 4 3 は図 5 に詳しく示すように、V T R 状態判定回路 5 0 と、参照時間位置決定回路 5 1 と、N O T 回路 5 2、5 3 と、第 1 及び第 2 の位相差信号形成回路即ち位相比較手段としての D 型フリップフロップ 5 4、5 5 と、制御手段としての第 1 及び第 2 の加算器 5 6、5 7 とから成る。

## 【 0 0 2 1 】

V T R 状態判定回路 5 0 は、第 1 及び第 2 の V T R 1 a、1 b を同期化駆動可能か否かを判定するものであり、2 つの N O T 回路 5 8、5 9 と第 1、第 2 及び第 3 の A N D ゲート 6 0、6 1、6 2 から成る。なお、A N D ゲート 6 0、6 1、6 2 を入力反転型即ち負論理の N O R ゲートとすることもできる。第 1 の A N D ゲート 6 0 の一方の入力端子はライン 4 6 a を介して図 3 の再生指令回路 3 5 a に接続され、他方の入力端子は N O T 回路 5 8 とライン 4 7 a を介して図 3 のテープ終端検出回路 3 6 a に接続されている。第 2 の A N D ゲート 6 1 の一方の入力端子はライン 4 6 b を介して第 2 の V T R 1 b のコントローラ 2 2 b における図 3 の再生指令回路 3 5 a に相当するものに接続され、他方の入力端子は N O

T回路59とライン47bとを介して第2のVTR1bのコントローラ22bにおける図3のテープ終端検出回路36aに対応するものに接続されている。第3のANDゲート62の一方の入力端子は第1のANDゲートに接続され、他方の入力端子は第2のANDゲートに接続され、この出力ライン63は図5の参照時間位置決定回路51に接続されている。従って、第1及び第2のVTR1a、1bの両方が再生状態であり、且つ第1及び第2のVTR1a、1bのテープ7a、7bがテープ終端に至っていない時に、論理の1即ち高レベルの同期化駆動可能を示す信号がライン63に送出される。

### 【0022】

図5の参照時間位置決定回路51は、D型フリップフロップ64と、第1及び第2のORゲート65と、NORゲート66と、NANDゲート67と、ANDゲート68とから成る。なお、NORゲート66を負論理のANDゲートに変えること、また、ANDゲート68を負論理のNORゲートに変えることができる。ORゲート65の第1及び第2の入力端子はライン44a、44bによって図4の第1及び第2の垂直同期信号分離回路42a、42bにそれぞれ接続され、この出力端子はD型フリップフロップ64のクロック入力端子Tに接続されている。NORゲート66の一方の入力端子は第1のD型フリップフロップ54の出力端子Qに接続され、この他方の入力端子は第2のD型フリップフロップ55の出力端子Qに接続され、この出力端子はD型フリップフロップ64のデータ入力端子Dに接続されている。NANDゲート67の2つの入力端子は第1及び第2のD型フリップフロップ54、55の出力端子Qにそれぞれ接続されている。ANDゲート68の一方の入力端子はVTR状態判定回路50の出力ライン63に接続され、この他方の入力端子はNANDゲート67に接続され、この出力端子は参照用即ち基準用D型フリップフロップ64のリセット端子R即ちクリア端子に接続されている。

基準用D型フリップフロップ64のプリセット端子PRは+Vで示す正の電源端子に接続されている。

### 【0023】

第1の位相差信号形成回路としての第1のD型フリップフロップ54のトリガ

入力端子TはNOT回路52を介して第1の垂直同期信号ライン44aに接続され、このデータ入力端子D及びプリセット端子PRは+Vで示す正の電源端子に接続され、このリセット端子R即ちクリア端子は基準用D型フリップフロップ64の出力端子Qに接続されている。

第2の位相差信号形成回路としての第2のD型フリップフロップ55のクロック端子TはNOT回路53を介して第2の垂直同期信号ライン44bに接続され、このデータ入力端子D及びプリセット端子PRは+Vで示す正の電源端子に接続され、このリセット端子Rは基準用D型フリップフロップ64の出力端子Qに接続されている。なお、第1及び第2のD型フリップフロップ54、55はリセット端子Rに低レベル(L)信号が入力した時にリセット状態になる。第1及び第2のD型フリップフロップ54、55からは、第1及び第2の垂直同期信号の位相差を解消するためのパルスが出力される。このパルスは映像信号の1フィールドに1個の割合で垂直帰線消去期間に発生する。

#### 【0024】

制御手段としての第1の加算器56の一方の入力端子は第1のD型フリップフロップ54の出力端子Qに接続され、他方の入力端子はライン45bを介して第2のVTR1bのコントローラ22bにおける図3のキャプスタンモータサーボ回路34aに相当するものに接続され、この出力ライン48bは図2及び図4に示す第2のVTR1bのキャプスタンモータ駆動回路24bに接続されている。

第2の加算器57の一方の入力端子は第2のD型フリップフロップ55の出力端子Qに接続され、この他方の入力端子はライン45aによって図4のコントローラ22aにおける図3のキャプスタンモータサーボ回路34aに接続され、この出力ライン48aは図2及び図4に示す第1のVTR1aのキャプスタンモータ駆動回路24aに接続されている。

#### 【0025】

次に、図5の各部の電圧波形を示す図7～図9を参照して同期化装置3の動作を説明する。図7～図9において、Vs1、Vs2はライン44a、44bの第1及び第2の垂直同期信号、V65はORゲート65の出力、V54は第1のD型フリップフロップ54の出力、V55は第2のD型フリップフロップ55の出力、V64は

基準用D型フリップフロップ64の出力、V66はORゲート66の出力、V67はNANDゲート67の出力、V68はANDゲート68の出力を示す。また、図7は第1及び第2の垂直同期信号分離回路42a、42bから得られた第1及び第2の垂直同期信号Vs1、Vs2の相互間に位相のずれがない場合の図5の各部の電圧状態を示し、図8は第1の垂直同期信号Vs1が第2の垂直同期信号Vs2よりも遅れている場合の図5の各部の電圧状態を示し、図9は図8とは逆に第2の垂直同期信号Vs2が第1の垂直同期信号Vs1よりも遅れている場合の図5の各部の電圧状態を示す。

## 【0026】

第1及び第2のVTR1a、1bの両方が再生モードであり、且つ各テープ7a、7bが終端(EOT)に至っていない時には、図5のVTR状態判定回路50の出力ライン63が高レベルになり、基準用D型フリップフロップ64はリセットされずに、動作可能な状態に保たれる。これに対して、第1及び第2のVTR1a、1bのいずれかが再生モードでない場合、又は第1及び第2のテープ7a、7bのいずれかがテープ終端(EOT)位置に至っている時には、VTR状態判定回路50の出力ライン63は同期化不可を示す低レベルとなり、ANDゲート68の出力も低レベルとなり、基準用D型フリップフロップ64がリセット状態に保たれ、この出力V64が低レベルに保たれ、第1及び第2のD型フリップフロップ54、55もリセット状態に保たれる。これにより、第1及び第2のD型フリップフロップ54、55の出力V54、V55が低レベルに保たれ、同期化制御が禁止状態になる。

また、図5の回路において、第1及び第2のD型フリップフロップ54、55の出力V54、V55が同時に高レベル状態になった時にNANDゲート67の出力V67が低レベル状態となり、ANDゲート68の出力V68も低レベルとなり、基準用D型フリップフロップ64がリセットされ、これにより、第1及び第2のD型フリップフロップ54、55もリセットされる。

## 【0027】

第1及び第2のVTR1a、1bが同期化駆動可能な状態にあり、基準用D型フリップフロップ64が動作可能な状態にある時に、第1及び第2のライン44

a、4 4 bに第1及び第2の垂直同期信号Vs1、Vs2が入力すると、第1及び第2のNOT回路52、53で極性が反転されて第1及び第2のD型フリップフロップ54、55のクロック入力となる。第1及び第2のD型フリップフロップ54、55は垂直同期信号Vs1、Vs2のパルスの後縁即ちNOT回路52、53の出力の立上りに同期してデータ入力端子Dの高レベル信号を読み込む。しかし、基準用D型フリップフロップ64によって第1及び第2のD型フリップフロップ54、55が制御されているので、第1及び第2のD型フリップフロップ54、55はデータ入力端子Dの値即ちセット状態を継続的に保持しない。

### 【0028】

図7に示すように第1及び第2の垂直同期信号Vs1、Vs2が同相の場合には、ORゲート65の出力V65が第1及び第2の垂直同期信号Vs1、Vs2と同相になる。基準用D型フリップフロップ64はORゲート65の出力V65のパルスの前縁をクロックとしてデータ入力端子Dの信号を読み込む。図7において、t1時点では第1及び第2のD型フリップフロップ54、55の出力V54、V55が共に低レベル(L)になるので、NORゲート66の出力V66は高レベル(H)である。従って、図7のt1時点に示すように基準用D型フリップフロップ64の出力V64はORゲート65の出力V65のパルスの前縁に同期して高レベルに転換する。この結果、第1及び第2のD型フリップフロップ54、55はt1時点から動作可能状態になる。その後、t2時点における第1及び第2の垂直同期信号Vs1、Vs2の方形波パルスの後縁即ちNOT回路52、53の出力の立上りが第1及び第2のD型フリップフロップ54、55にクロック信号となり、データ入力端子Dの状態が読み込まれる。この結果、第1及び第2のD型フリップフロップ54、55の出力V54、V55が同時に高レベルになる。このため、NANDゲート67の出力V67が低レベルになり、基準用D型フリップフロップ64がリセット状態になり、このリセットへの転換時点が基準時間位置即ち参照時間位置として機能し、位相比較用の第1及び第2のD型フリップフロップ54、55もリセット状態になる。従って、第1及び第2のD型フリップフロップ54、55の出力V54、V55は図7のt2時点に示すように瞬間的に高レベルになった後に再び低レベルに戻る。また、NANDゲート67の出力V67、ANDゲート68の出



力V68、及びNORゲート66の出力V66は $t_2$ で瞬間的に低レベルになる。

図7における第1及び第2のD型フリップフロップ54、55の出力V54、V55のパルスは無視できるほど極めて狭いので、これ等が加算器56、57を介してキャプスタンモータ15a、15bに供給されてもテープ7a、7bの速度変化は生じない。

なお、第1及び第2の垂直同期信号Vs1、Vs2は周期 $T_v$ を有して繰返して発生するので、図7の $t_3 \sim t_4$ においても、 $t_1 \sim t_2$ と同一の動作が生じる。

#### 【0029】

図8に示すように、第1の垂直同期信号Vs1が第2の垂直同期信号Vs2よりも僅かに遅れている時には、第2の垂直同期信号Vs2を基準にして第1の垂直同期信号Vs1を追従させる動作が生じる。即ち、この場合には、ORゲート65の出力V65が第1及び第2のら垂直同期信号Vs1、Vs2の和の信号になり、 $t_1 \sim t_3$ の幅のパルスを含む。このV65のパルスの前縁が基準用D型フリップフロップ64のクロック信号となり、D型フリップフロップ64の出力V64は図8の $t_1$ 時点で高レベルに転換する。この結果、図8の $t_1 \sim t_3$ 区間で第1及び第2のD型フリップフロップ54、55が動作可能になる。まず、 $t_2$ 時点で第2の垂直同期信号Vs2のパルスの後縁に相当するNOT回路53の出力の立上りをクロック信号として第2のD型フリップフロップ55の出力V55が高レベルに転換する。次に、 $t_3$ 時点で第1の垂直同期信号Vs1のパルスの後縁に相当するNOT回路52の出力の立上りをクロック信号として第1のD型フリップフロップ54の出力V54が瞬間的に高レベルになる。 $t_3$ 時点で第1及び第2のD型フリップフロップ54、55が同時に高レベルになると、NANDゲート67の出力V67が瞬間的に低レベルになり、基準用D型フリップフロップ64がリセットされ、このリセット時点が参照時間位置として機能し、第1及び第2のD型フリップフロップ54、55もリセット状態になる。この結果、 $t_3$ 時点で第1及び第2のD型フリップフロップ54、55の出力V54、V55が低レベルになる。これにより、第1のD型フリップフロップ54からは無視できる程度の狭いパルスが発生し、第2のD型フリップフロップ55からは $t_1 \sim t_3$ の幅を有するパルスが発生する。

図 8 の  $t_4$ 、 $t_5$  時点で第 1 及び第 2 の垂直同期信号  $V_{s1}$ 、 $V_{s2}$  の次のパルスが発生すると、 $t_1 \sim t_3$  区間と同様な動作が  $t_4 \sim t_6$  においても生じる。

【0030】

図 8 において第 1 の D 型フリップフロップ 54 の出力  $V_{54}$  は図 7 の場合と同様にテープ 7 a の速度調整即ち送り調整には寄与しない。しかし、第 2 の D 型フリップフロップ 55 の出力  $V_{55}$  は  $t_2 \sim t_3$  の比較的広いパルスを有するので、第 1 の  $VTR1a$  のテープ 7 a の速度調整即ち送り調整に寄与する。即ち、第 2 の D 型フリップフロップ 55 の出力  $V_{55}$  は加算器 57 においてライン 45 a の第 1 の  $VTR1a$  のキャプスタンサーボ信号に加算されて第 1 の  $VTR1a$  の駆動回路 24 a に送られる。駆動回路 24 a、24 b は図 4 に示すように同期化装置 3 を経由しないでコントローラ 22 a、22 b から直接に供給されるキャプスタンサーボ信号と同期化装置 3 からライン 48 a、48 b で供給される同期化キャプスタンサーボ信号とを択一的に送出するための選択スイッチ手段 69 a、69 b と増幅器 70 a、70 b とを有する。選択スイッチ手段 69 a、69 b は同期化モード時には同期化キャプスタンサーボ信号を選択し、非同期化モード時には本来のキャプスタンサーボ信号を選択する。従って、同期化モードには図 5 の加算器 56、57 の出力が増幅器 70 a、70 b で増幅されてキャプスタンモータ 15 a、15 b に送られる。

図 8 の場合には、第 2 の垂直同期信号  $V_{s2}$  の発生直後に発生する第 2 の D 型フリップフロップ 55 の出力  $V_{55}$  のパルスを伴った同期化キャプスタンサーボ信号が第 1 の  $VTR1a$  の駆動回路 24 a で増幅されてキャプスタンモータ 15 a に送られる。このため、第 1 のキャプスタンモータ 15 a は図 8 の  $t_2 \sim t_3$  区間で加速制御され、テープ 7 a の速度即ち送りが瞬間的に増大し、第 1 のテープ 7 a の遅れが補正される。図 8 の  $t_2 \sim t_3$  区間は再生映像信号の垂直消去帰線期間又は表示装置 2 a の表示的に表示されない区間に収まるように決定されているので、表示装置 2 a の表示に無関係の区間でテープ 7 a の送り量の調整が行われる。従って、表示装置 2 a、2 b の表示に影響を及ぼさないで同期化を達成できる。テープ 7 a の 1 回の送り量の調整で第 1 及び第 2 の垂直同期信号  $V_{s1}$ 、 $V_{s2}$  が同期しない場合は、図 8 の  $t_4 \sim t_6$  に示すように再び送り量を調整する。

なお、図 8 の第 1 及び第 2 の D 型フリップフロップ 5 4、5 5 の出力パルスの幅は基準用 D 型フリップフロップ 6 4 の出力パルスの幅によって制御されている。なお、第 1 及び第 2 の垂直同期信号  $Vs1$ 、 $Vs2$  は正常時には 1 / 6 0 秒毎に発生し、この誤差は数 % 以下であり、例えば 2.5 % の場合には 1 フィールド当り 0 . 000425 秒となる。従って、キャプタンモータ 1 5 a、1 5 b の僅かな加速又は減速制御によって垂直同期信号  $Vs1$ 、 $Vs2$  の周期の補正ができる。

### 【 0 0 3 1 】

図 9 に示すよう第 2 の垂直同期信号  $Vs2$  が第 1 の垂直同期信号  $Vs1$  よりも遅れた場合には、第 1 の垂直同期信号  $Vs1$  を基準とし、この第 1 の垂直同期信号  $Vs1$  に第 2 の垂直同期信号  $Vs2$  を追従させるための同期化動作が生じる。

即ち、OR ゲート 6 5 の出力  $V65$  には図 9 に示すように第 1 及び第 2 の垂直同期信号  $Vs1$ 、 $Vs2$  の両方のパルスが含まれる。図 9 における第 1 の垂直同期信号  $Vs1$  のパルスの前縁時点  $t1$  で基準用 D 型フリップフロップ 6 4 にクロック信号が入力すると、この D 型フリップフロップ 6 4 は NOR ゲート 6 6 の出力  $V66$  を読み込み、この出力  $V64$  は高レベルに転換し、第 1 及び第 2 の D 型フリップフロップ 5 4、5 5 が動作可能になる。第 1 の垂直同期信号  $Vs1$  のパルスの後縁時点  $t2$  をクロックとして第 1 の D 型フリップフロップ 5 4 は、データ端子 D のデータを読み込み、この出力  $V54$  は高レベルに転換する。この結果、NOR ゲート 6 6 の出力  $V66$  は  $t2$  で低レベルに転換する。図 9 の  $t3$  時点で第 2 の垂直同期信号  $Vs2$  のパルスが発生すると、OR ゲート 6 5 の出力  $V65$  が高レベルに転換し、D 型フリップフロップ 6 4 にクロック信号が入力する。この時データ入力端子 D は低レベル状態にあるので、D 型フリップフロップ 6 4 の出力  $V64$  は  $t3$  の時点で低レベル状態に転換し、第 1 及び第 2 の D 型フリップフロップ 5 4、5 5 をリセット状態にする。これにより、第 1 の D 型フリップフロップ 5 4 の出力は低レベル状態に転換する。 $t3$  時点で発生した第 2 の垂直同期信号レベル  $Vs2$  のパルスの後縁即ち NOT 回路 5 3 の出力の立上りが第 2 の D 型フリップフロップ 5 5 のクロック信号として入力するが、第 2 の D 型フリップフロップ 5 5 はリセット状態に保たれており、動作不可能な状態にあるので、第 2 の D 型フリップフロップ 5 5 の出力  $V55$  の低レベルは保持される。

## 【 0 0 3 2 】

第 1 のフリップフロップ 5 4 の出力 V 5 4 は加算器 5 6 において第 2 の VTR 1 b の出力ライン 4 5 b のキャプスタンモータサーボ制御信号に加算されて第 2 の VTR 1 b のキャプスタン駆動回路 2 4 b に入力する。駆動回路 2 4 b はスイッチ手段 6 9 b でライン 4 8 b の同期化制御信号を選択し、これを増幅器 7 0 b で増幅してキャプスタンモータ 1 5 b に送る。これにより、遅れ側の第 2 の VTR 1 b のキャプスタンモータ 1 5 b が加速制御され、テープ 7 b の送りが瞬間的に高められ、第 1 の垂直同期信号 V s 1 に第 2 の垂直同期信号 V s 2 を追従させる動作が生じる。キャプスタンモータ 1 5 b の 1 回の加速制御で第 1 及び第 2 の VTR 1 a、1 b の同期がとれない時には図 9 の t 4 ~ t 5 に示すように t 1 ~ t 3 と同一の動作を繰返す。

## 【 0 0 3 3 】

本実施例は次の効果を有する。

(1) 第 1 及び第 2 の垂直同期信号分離回路 4 2 a、4 2 b と図 5 に示すフリップフロップ 5 4、5 5、6 4 とゲート 6 5 ~ 6 8 から成る簡単な同期化信号作成回路 4 3 を付加することによって第 1 及び第 2 の VTR 1 a、1 b の同期化が可能になる。

(2) 外部基準信号を使用しないで、遅れ側の垂直同期信号によって参照時間位置を決定し、これと第 1 及び第 2 の垂直同期信号との位相差を求め、遅れ側の VTR のキャプスタンモータを加速制御する方式であるので、比較的簡単な構成によって第 1 及び第 2 の VTR 1 a、1 b の同期化が可能になる。

(3) 第 1 の D 型フリップフロップ 5 4 の出力パルス又は第 2 の D 型フリップフロップ 5 5 の出力パルスは垂直帰線消去期間又は表示面に画像の出ない期間に発生するので、表示画像に影響を与えないで、同期化を図ることができる。

(4) 同期化用のキャプスタンサーボ信号を通常のキャプスタンサーボ信号と独立に形成し、いずれか一方をスイッチ手段 6 9 a、6 9 b で選択する構成であるので、汎用の VTR の付加装置として同期化装置 3 を構成することができ、システム全体の低コスト化を図ることができる。

(5) VTR 状態判定回路 5 0 を設けたので、誤まった同期化動作を防ぐこと

ができる。

【 0 0 3 4 】

【第 2 の実施例】

次に、図 1 0 ～ 図 1 5 を参照して第 2 の実施例の映像信号再生システムを説明する。但し、図 1 0 ～ 図 1 5 において図 1 ～ 図 9 と実質的に同一の部分には同一の符号を付してその説明を省略する。

【 0 0 3 5 】

第 2 に実施例の映像信号再生システムは図 1 0 に示すように、図 1 の 2 台の V T R システムに第 3 の V T R 1 c と第 3 の表示装置 2 c とを付加し、3 台の V T R 1 a、1 b、1 c のための同期化装置 3 ' を設けたものである。図 1 0 の 3 台の V T R 1 a、1 b、1 c を同期化するシステムの基本原理は、図 1 の 2 台の V T R 1 a、1 b を同期化するシステムと同一である。図 1 0 では第 1、第 2 及び第 3 の V T R 1 a、1 b、1 c の出力が第 1、第 2 及び第 3 の表示装置 2 a、2 b、2 c に対して独立に接続されているが、破線で示すように 1 台の表示装置 2 b に 3 台の V T R 1 a、1 b、1 c の映像信号を送り、1 つの表示面に相互に関係を有する 3 つの映像信号の合成画像を表示することもできる。

【 0 0 3 6 】

第 2 の実施例で追加された第 3 の V T R 1 c は第 1 及び第 2 の V T R 1 a、1 b と同一に構成されている。従って、第 3 の V T R 1 c の詳細な説明は省略する。なお、第 3 の V T R 1 c において第 1 及び第 2 の実施例 1 a、1 b と実質的に同一の部分には同一の参照番号を付し、添字 c によって第 1 及び第 2 の V T R 1 a、1 b と区別することにする。

【 0 0 3 7 】

同期化装置 3 ' は、図 1 1 に示すように第 1、第 2 及び第 3 の垂直同期信号分離回路 4 2 a、4 2 b、4 2 c と同期化信号作成回路 4 3 ' とから成る。図 1 1 の第 1 及び第 2 の垂直同期信号分離回路 4 2 a、4 2 b は図 4 で同一の符号で示すものと同一に構成されている。また、第 3 の垂直同期信号分離回路 4 2 c も第 1 及び第 2 の垂直同期信号分離回路 4 2 a、4 2 b と同一に構成されている。但し、第 3 の垂直同期信号分離回路 4 2 c は第 3 の V T R 1 c の映像信号出力端子

26cとコントローラ出力端子41cに接続され、第3のVTR1cの再生映像信号から第3の垂直同期信号Vs3を分離して同期信号作成回路43'に送る。

#### 【0038】

図11の同期化信号作成回路43'は、第1の実施例の同期化信号作成回路43と同一の原理で第1、第2及び第3の垂直同期信号を同期化するための同期化キャプスタンモータ制御信号を形成するものであり、第1、第2及び第3の垂直同期信号分離回路42a、42b、42cにライン44a、44b、44cで接続され、また、第1のVTR1aの端子38a、39a、40a、49aに接続され、また第2のVTR1bの端子38b、39b、40b、49bに接続され、また、第3のVTR1cの端子38c、39c、40c、49cに接続されている。なお、第3のVTR1cの端子26c、38c、39c、40c、49cは、第1及び第2のVTR1a、1bの端子26a、26b、38a、38b、39a、39b、40a、40b、49a、49bと実質的に同一のものである。また、図11では同期化信号作成回路43'の第2の出力ライン48bの接続が省略されているが、これは第2のVTR1bの端子49bに接続される。また、第3の出力ライン48cは第3のVTR1cの端子49cに接続されている。

#### 【0039】

第2の実施例の同期化信号作成回路43'は図12に示すように、図5と同様な第1及び第2のD型フリップフロップ54、55を有する他に第3のD型フリップフロップ70を有し、更に、図5と同様な第1及び第2の加算器56、57を有する他に第3の加算器88を有し、更に、第1、第2、第3の入力制限用ANDゲート71、72、73と、参照時間位置決定回路51'と、位相反転信号形成用の第1、第2及び第3のNOT回路81、82、83と、第1の論理回路としての3入力ORゲート84と、第2、第3及び第4の論理回路としての第1、第2及び第3の出力パルス形成及び制限用ANDゲート85、86、87とを有する。なお、位相差信号形成回路は、2つのD型フリップフロップ54、55、56と、ORゲート84と、3つのNOT回路81、82、83と、3つのANDゲート85、86、87で構成されている。

#### 【0040】

第 1、第 2 及び第 3 の入力制限用 AND ゲート 7 1、7 2、7 3 の一方の入力端子は第 1、第 2 及び第 3 の垂直同期信号ライン 4 4 a、4 4 b、4 4 c にそれぞれ接続され、他方の入力端子は、第 1、第 2 及び第 3 の再生指令ライン 4 6 a、4 6 b、4 6 c によって第 1、第 2 及び第 3 の V T R 1 a、1 b、1 c の端子 3 9 a、3 9 b、3 9 c にそれぞれ接続されている。従って、第 1、第 2 及び第 3 の再生指令ライン 4 6 a、4 6 b、4 6 c に第 1、第 2 及び第 3 の V T R 1 a、1 b、1 c が再生モード中であることを示す高レベル信号が供給されている時にのみ第 1、第 2 及び第 3 の垂直同期信号 V s 1、V s 2、V s 3 が第 1、第 2 及び第 3 の入力制限用 AND ゲート 7 1、7 2、7 3 を通過する。この結果、第 1 及び第 2 第 3 の V T R 1 a、1 b、1 c の再生モード以外にノイズ等で誤って同期化信号作成回路 4 3 ' が動作することを禁止できる。

## 【 0 0 4 1 】

第 1、第 2 及び第 3 の位相差信号形成回路又は比較手段を構成するための第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 のクロック端子 T は第 1、第 2 及び第 3 の入力制限用 AND ゲート 7 1、7 2、7 3 に接続され、これ等のデータ入力端子 D 及びプリセット端子 P R は正の電源端子 + V に接続され、これ等のリセット端子 R は参照時間位置決定回路 5 1 ' の AND ゲート 7 7 に接続されている。

## 【 0 0 4 2 】

参照時間位置決定回路 5 1 ' は、第 1、第 2 及び第 3 の OR ゲート 7 4、7 5、7 6 と、1 つの 3 入力 NAND ゲート 7 7 と、3 つの NOT 回路 7 8、7 9、8 0 とから成る。第 1、第 2 及び第 3 の OR ゲート 7 4、7 5、7 6 の一方の入力端子は第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 の出力端子 Q にそれぞれ接続され、これ等の他方の入力端子は NOT 回路 7 8、7 9、8 0 を介して第 1、第 2 及び第 3 の再生指令ライン 4 6 a、4 6 b、4 6 c に接続されている。参照時間位置決定用論理回路としての NAND ゲート 7 7 の第 1、第 2 及び第 3 の入力端子は第 1、第 2 及び第 3 の OR ゲート 7 4、7 5、7 6 に接続されている。なお、NAND 7 7 の 3 つの入力端子を第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 に直接に接続することもできる。

## 【 0 0 4 3 】

位相差信号形成回路の一部として機能するORゲート84の第1、第2及び第3の入力端子は第1、第2及び第3のD型フリップフロップ54、55、70の出力端子Qに接続されている。第1、第2及び第3の出力パルス形成及び制限用ANDゲート85、86、87の第1の入力端子は第1、第2及び第3のNOT回路81、82、83を介して第1、第2及び第3のD型フリップフロップ54、55、70に接続され、これ等の第2の入力端子はORゲート84にそれぞれ接続され、これ等の第3の入力端子は第1、第2及び第3の再生指令ライン46a、46b、46cにそれぞれ接続されている。なお、ANDゲート85、86、87をNOT回路81、82、83を介さないでフリップフロップ54、55、70の位相反転出力端子に接続することができる。

## 【 0 0 4 4 】

制御手段としての第1の加算器56の一方の入力端子は第1のVTR1aのキャプスタンモータ制御信号ライン45aに接続され、他方の入力端子は第1の出力パルス形成及び制限用ANDゲート85に接続され、この出力端子はライン48aによって第1のVTR1aのキャプスタンモータ駆動回路24aの入力端子49aに接続されている。第2の加算器57の一方の入力端子は第2のVTR1bのキャプスタンモータ制御信号ライン45bに接続され、この他方の入力端子は第2の出力パルス形成及び制限用ANDゲート86に接続され、この出力端子はライン48bによって第2のVTR1bのキャプスタンモータ駆動回路24bの入力端子49bに接続されている。第3の加算器88の一方の入力端子は第3のVTR1cのキャプスタンモータ制御信号ライン45cに接続され、この他方の入力端子は第3の出力パルス形成及び制限用ANDゲート87に接続され、この出力端子はライン48cによって第3のVTR1cのキャプスタンモータ駆動回路の入力端子49cに接続されている。従って、第1、第2及び第3の加算器56、57、58は、第1、第2及び第3のVTR1a、1b、1cの通常のキャプスタンモータ制御信号に対して第1、第2及び第3の出力パルス形成及び制限用ANDゲート85、86、87から得られた加速用パルスを加算して第1、第2及び第3のVTR1a、1bに送る。



## 【 0 0 4 5 】

次に、図 1 2 の各部の電圧状態を示す図 1 4、図 1 5 及び図 1 6 の波形図を参照して第 2 の実施例の再生システムの動作の説明をする。

今、第 1、第 2 及び第 3 の V T R 1 a、1 b、1 c が再生モード中であるとすれば、第 1、第 2 及び第 3 の V T R 1 a、1 b、1 c の再生映像信号から分離された第 1、第 2 及び第 3 の垂直同期信号 V s 1、V s 2、V s 3 が第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 にクロック信号として入力する。もし、第 1、第 2 及び第 3 の垂直同期信号 V s 1、V s 2、V s 3 が図 1 3 の t 1 ~ t 2 に示すように同相であれば、これ等のパルスの前縁に応答して D 型フリップフロップ 5 4、5 5、7 0 の出力 V 5 4、V 5 5、V 7 0 が図 1 3 の t 1 において同時に高レベルに転換する。この結果、参照時間位置決定回路 5 1 ' の O R ゲート 7 4、7 5、7 6 の出力 V 7 4、V 7 5、V 7 6 が高レベルになり、N A N D ゲート 7 7 の出力 V 7 7 が低レベルになる。このため、第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 が t 1 時点直後にリセット状態となり、これ等の出力 V 5 4、V 5 5、V 7 0 は低レベルに戻る。この結果、参照時間位置決定回路 5 1 ' の出力 V 7 7 が t 1 時点直後に高レベルに戻り、第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 が動作可能状態になる。

## 【 0 0 4 6 】

図 1 3 の同相状態の時には、O R ゲート 8 4 の出力が t 1 に示すように瞬間的に高くなり、N O T 回路 8 1、8 2、8 3 の出力（図示せず）が t 1 時点で瞬間的に低レベルになる。このため、第 1、第 2 及び第 3 の出力パルス形成及び制御用 A N D ゲート 8 5、8 6、8 7 の出力 V 8 5、V 8 6、V 8 7 は常に低レベルに保たれ、第 1、第 2 及び第 3 の加算器 5 6、5 7、5 8 においてパルスの加算が生じない。従って、ライン 4 5 a、4 5 b、4 5 c のキャプスタンモータ制御信号がそのままライン 4 8 a、4 8 b、4 8 c に送られ、第 1、第 2 及び第 3 の V T R 1 a、1 b、1 c において第 1、第 2 及び第 3 の垂直同期信号の位相調整は行われない。周期 T v 後の図 1 3 の t 3 時点で次の垂直同期信号 V s 1、V s 2、V s 3 が発生した時にも t 1 時点と同様な動作が生じる。

## 【 0 0 4 7 】

図 1 4 に示すように、第 1 の垂直同期信号  $Vs1$  の位相が第 2 及び第 3 の垂直同期信号  $V72$ 、 $V73$  よりも進んでおり、第 2 の垂直同期信号  $Vs2$  の位相が第 1 及び第 3 の垂直同期信号  $Vs1$ 、 $Vs3$  よりも遅れており、第 3 の垂直同期信号  $Vs3$  の位相が第 1 及び第 2 の垂直同期信号  $Vs1$ 、 $Vs2$  の中間にある場合には、第 2 及び第 3 の出力パルス形成及び制限用 AND ゲート 8 6、8 7 の出力  $V86$ 、 $V87$  にパルスが含まれる。即ち、図 1 4 において、 $t1 \sim t2$  で第 1 の垂直同期信号  $Vs1$  のパルスが発生し、 $t2 \sim t3$  で第 3 の垂直同期信号  $Vs3$  のパルスが発生し、 $t4 \sim t5$  で第 2 の垂直同期信号  $Vs2$  のパルスが発生する場合には、第 1 の垂直同期信号  $Vs1$  のパルスの前縁に相当する  $t1$  時点でまず第 1 の D 型フリップフロップ 5 4 の出力  $V54$  が高レベルに転換する。次に、第 3 の垂直同期信号  $Vs3$  のパルスの前縁に相当する  $t2$  時点で第 3 の D 型フリップフロップ 7 0 の出力  $V70$  が高レベルに転換する。次に、第 2 の垂直同期信号  $Vs2$  のパルスの前縁に相当する  $t4$  時点で第 2 の D 型フリップフロップ 5 5 の出力  $V55$  が高レベルに転換する。この結果、 $t4$  時点で 3 つの D 型フリップフロップ 5 4、5 5、7 0 の出力の全部が同時に高レベルになり、参照時間位置決定回路 5 1 ' の NAND ゲート 7 7 の出力  $V77$  が低レベルになり、第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 がリセット状態になり、これ等の出力  $V54$ 、 $V55$ 、 $V70$  が低レベルにそれぞれ戻る。この結果、NAND ゲート 7 7 の出力  $V77$  が高レベルに戻り、第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 のリセット状態が解除され、動作可能状態になる。図 1 4 における第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 の出力  $V54$ 、 $V55$ 、 $V70$  のパルスは、最も遅れている第 2 の垂直同期信号  $Vs2$  のパルスの前縁に相当する基準時間位置と各垂直同期信号  $Vs1$ 、 $Vs2$ 、 $Vs3$  のパルスの前縁との位相差に相当する幅を有する。従って、第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 は位相比較手段として機能し、また参照位時間位置定回路 5 1 ' は位相比較の基準位相即ち参照位置を決定する機能を有する。

#### 【 0 0 4 8 】

図 1 4 においては、OR ゲート 8 4 の出力  $V84$  が  $t1 \sim t4$  期間で高レベルになり、この  $t1 \sim t4$  期間においてのみ NOT 回路 8 1、8 2、8 3 の出力が A

N Dゲート 8 5、8 6、8 7を通過する。第 1 の N O T 回路 8 1 の出力は第 1 の D 型フリップフリップ 5 4 の出力 V 5 4 の位相反転出力であるので、第 1 の出力パルス形成及び制限用 A N D ゲート 8 5 の出力は低レベル即ちゼロ状態に保たれる。この結果、位相が最も進んでいる第 1 の V T R 1 a の位相調整は行われない。

図 1 4 の  $t_1 \sim t_4$  期間で第 2 の N O T 回路 8 2 の出力は  $t_4$  時点を除いて高レベルになるので、第 2 の出力パルス形成及び制限用 A N D ゲート 8 6 の出力 V 86 は  $t_1 \sim t_4$  の全期間で高レベルとなる。この第 2 の出力パルス形成及び制限用 A N D ゲート 8 6 の出力 V 86 は第 2 の加算器 5 7 で第 2 の V T R 1 b のキャプスタンモータ制御信号に加算されるので、第 2 の V T R 1 b のキャプスタンモータは図 1 4 の  $t_1 \sim t_4$  の区間で加速制御され、第 2 の垂直同期信号 V s 2 を第 1 の垂直同期信号に追従させるための同期化動作が生じる。また、図 1 4 の  $t_1 \sim t_4$  期間において、第 3 の N O T 回路 8 3 の出力が  $t_2 \sim t_4$  の期間で低レベル、 $t_1 \sim t_2$  期間では高レベルになるので、第 3 の出力パルス形成及び制限用 A N D ゲート 8 7 の出力 V 87 は  $t_1 \sim t_2$  期間で高レベルになる。この結果、第 3 の加算器 8 8 では第 3 の V T R 1 c のキャプスタンモータ制御信号に第 3 の出力パルス形成及び制限用 A N D ゲート 8 7 の出力 V 87 が加算されて同期化制御信号が形成され、図 1 4 の  $t_1 \sim t_2$  期間において第 3 の V T R 1 c のキャプスタンモータが加速制御され、第 2 の垂直同期信号 V s 2 を第 1 の垂直同期信号 V s 1 に追従させる動作が生じる。図 1 4 の  $t_1 \sim t_4$  の同期化制御で第 1、第 2 及び第 3 の垂直同期信号 V s 1、V s 2、V s 3 が同期状態にならない時には、図 1 4 の  $t_6$  以後において  $t_1 \sim t_4$  と同一の同期化制御が生じる。

#### 【 0 0 4 9 】

図 1 5 は第 1 及び第 3 の V T R 1 a、1 c が再生モードにあり、第 2 の V T R 1 b が停止モードにある場合の図 1 2 の各部の状態を示す。この図 1 5 では  $t_1 \sim t_2$  期間に第 3 の垂直同期信号 V s 3 のパルスが発生し、 $t_3 \sim t_4$  期間に第 1 の垂直同期信号 V s 1 のパルスが発生している。 $t_1$  時点で第 3 の垂直同期信号 V s 3 のパルスが発生すると、第 3 の D 型フリップフロップ 7 0 の出力 V 70 が高レベルに転換する。その後  $t_3$  時点で第 1 の垂直同期信号 V s 1 のパルスが発

生すると、第1のD型フリップフロップ54の出力が高レベルに転換し、参照時間位置決定回路51'のORゲート74の出力V74が高レベルになる。第2の再生指令ライン46bは停止のために低レベルであり、NOT回路79の出力及びORゲート75の出力V75は常に高レベルに保たれている。従って、図15のt3時点でNANDゲート77の全入力が高レベルになり、この出力V77が低レベルになる。このため、第1、第2及び第3のD型フリップフロップ54、55、70がリセットされ、第1及び第3のD型フリップフロップ54、70の出力V54、V70が低レベルに戻る。

出力パルス形成及び制限用ORゲート84の出力V84は図15のt1～t3期間で高レベルになる。従って、t1～t3期間で第1の出力パルス形成及び制限用ANDゲート85の出力V85が高レベルになる。この出力V85は第1の加算器56において第1のVTR1aのキャプスタンモータ制御信号に加算され、第1のVTR1aの駆動回路24aに送られる。これにより、第3の垂直同期信号Vs3に第1の垂直同期信号Vs1を追従させる動作が生じる。t1～t3の動作で第1及び第3の垂直同期信号Vs1、Vs3の同期がとれない時はt5から再びt1～t3と同様な同期化動作が生じる。

#### 【0050】

なお、図15の状態第2のVTR1bが停止モードから再生モードに転換すると、第2の入力制御用ANDゲート72を第2の垂直同期信号Vs2が通過し、図14と同様な動作が生じる。また第2の出力パルス形成及び制限用AND回路86に制限が解除される。

#### 【0051】

この第2の実施例においても、最も遅れた垂直同期信号を基準にした位相比較動作が第1、第2及び第3のD型フリップフロップ54、55、70で得られ、これに基づいて加速パルスが形成され、同期化制御が行われるので、第1の実施例と同様な効果を得ることができる。即ち、フリップフロップ54、55、70と論理回路の組み合わせから成る簡単な回路で3つの垂直同期信号Vs1、Vs2、Vs3の同期化が達成させる。

また、第2の実施例では、3台VTR1a、1b、1cの中の選択された2台

の同期駆動が可能になる。

【 0 0 5 2 】

【変形例】

本発明は上述の実施例に限定されるものでなく、例えば次の変形が可能なものである。

(1) 図 1 6 に示すように、図 5 の第 1 及び第 2 の加算器 5 6、5 7 の代わりに第 1 及び第 2 の減算器 5 6'、5 7' を設け、これ等の正入力端子を第 1 及び第 2 の V T R 1 a、1 b のキャプスタンモータ制御信号ライン 4 5 a、4 5 b に接続し、この負入力端子を第 1 及び第 2 の D 型フリップフロップ 5 4、5 5 に接続し、この出力端子をライン 4 8 a、4 8 b を介して第 1 及び第 2 の V T R 1 a、1 b の駆動回路 2 4 a、2 4 b に接続することができる。この場合には、例えば図 8 において、第 2 の D 型フリップフロップ 5 5 の出力 V 5 5 がキャプスタンモータ制御信号から減算されるために、第 2 の V T R 1 b のキャプスタンモータ 1 5 b が減速制御され、第 2 の垂直同期信号 V s 2 を第 1 の垂直同期信号 V s 1 に追従させるように遅らせる動作が生じ、第 1 の実施例と同一の効果が得られる。なお、図 1 6 において図 5 と実質的に同一の部分には同一の符号が付されている。

(2) 図 1 2 の加算器 5 6、5 7、8 8 を図 1 7 に示すように減算器 5 6'、5 7'、8 8' とし、これ等の負入力端子を AND ゲート 8 5'、8 6'、8 7' のみを介して図 1 2 の第 1、第 2 及び第 3 の D 型フリップフロップ 5 4、5 5、7 0 に接続することができる。これにより、例えば図 1 4 の第 1 及び第 3 の D 型フリップフロップ 5 4、7 0 の出力 V 5 4、V 7 0 がライン 4 5 a、4 5 c の通常のキャプスタンモータ制御信号から減算され、第 1 及び第 3 の V T R 1 a、1 c のキャプスタンモータが減速制御され、第 1 及び第 3 の垂直同期信号 V s 1、V s 3 が最も遅れている第 2 の垂直同期信号 V s 2 に同期化され、第 2 の実施例と同一の効果が得られる。なお、図 1 7 の AND ゲート 8 5'、8 6'、8 7' は出力制限用である。また、図 1 7 において図 1 2 と実質的に同一の部分には同一の符号が付されている。

(3) 第 2 の実施例においても、第 1 の実施例のテープ終端検出回路 3 6 a と

同様なものの出力を利用し、テープ終端でない時にのみ垂直同期信号  $V_{s1}$ ,  $V_{s2}$ ,  $V_{s3}$  が AND ゲート 71, 72, 73 を通過するようにすること及び AND ゲート 71, 72, 73 を有効にすることができる。

(4) 3 台よりも多い VTR の同期化にも本発明を適用することができる。

(5) 図 1 において、同期化装置 3 を第 1 及び第 2 の VTR 1a, 1b と一体化した構成にすることができる。また、図 10 において同期化装置 3' を第 1、第 2 及び第 3 の VTR 1a, 1b, 1c に一体化することができる。また、図 1 において第 1 及び第 2 の VTR 1a, 1b に同期化装置 3 をそれぞれ一体化即ち内蔵させ、第 1 及び第 2 の VTR 1a, 1b の同期化が必要な場合はいずれか一方の同期化装置 3 のみを使用することができる。また、図 10 においても、第 1、第 2 及び第 3 の VTR 1a, 1b, 1c に同期化装置 3' をそれぞれ一体化即ち内蔵させ、同期化が必要な場合はいずれか 1 つの同期化装置のみを使用することができる。

(6) 第 1 の実施例の加算器 56, 57 及び第 2 の実施例の加算器 56, 57, 88 及び図 16 の減算器 56', 57', 88' を VTR 1a, 1b, 1c のキャプスタンモータ駆動回路 24a, 24b 等の中に設けることができる。この場合には、図 4 のスイッチ手段 69a, 69b を省くことができる。

(7) ビデオ CD や DVD のように記録媒体ディスクを使用して映像信号を再生する装置にも本発明を適用することができる。この場合には、VTR のキャプスタンモータを制御する代りに、ディスクの回転モータの回転速度又は再生回路の D/A 変換器の入力側に設けられているバッファメモリの読み出し速度を第 1、第 2 及び第 3 の D 型フリップフロップ 54, 55, 70 の出力に基づいて制御する。

(8) 図 5 及び図 16 においてフリップフロップ 54, 55 の出力を積分回路即ちローパスフィルタを介して加算器 56, 57 又は減算器 56', 57' に入力させることができる。また図 12 及び図 17 において、AND ゲート回路 85, 86, 87 又は 85', 86', 87' の出力を積分回路即ちローパスフィルタを介して加算器 56, 57, 58 又は減算器 56', 57', 58' に入力させることができる。

(9) VTR 1 a、1 b、1 c を周知の 8 mm VTR に置き換えることができる。

(10) 図 5 及び図 12 の加算器 56、57 及び 88 の代わりに、図 18 に示すような信号選択回路 90 をそれぞれ設けることができる。図 18 の信号選択回路 90 はスイッチ 91 と逆流阻止用ダイオード 92 とから成る。スイッチ 91 はキャプスタンモータ制御信号ライン 45 a 又は 45 b 又は 45 c と出力ライン 48 a 又は 48 b 又は 48 c との間に接続された例えばトランジスタのような電子スイッチであって、同期化信号ライン 93 のパルスに応答してオフになる。同期化信号ライン 93 はダイオード 92 を介して出力ライン 48 a、又は 48 b 又は 48 c に接続されている。なお、図 18 の同期化信号ライン 93 は、図 5 のフリップフロップ 54 又は 55 の出力ライン又は図 12 の AND ゲート 85、86、87 の出力ラインに相当している。従って、例えば図 8 において、 $t_2 \sim t_3$  に示す V55 のパルスが発生すると、スイッチ 91 がオフになり、V55 のパルスが出力ライン 48 b に送出され、キャプスタンモータ 15 b は加速制御される。ライン 93 に図 8 の  $t_2 \sim t_3$  の V55 のような同期化パルスが発生していない時には、スイッチ 91 がオンに保たれ、通常のキャプスタンサーボが実行される。なお、ライン 93 の同期化パルスの電圧振幅値はライン 45 a 又は 45 b 又は 45 c のキャプスタンモータ制御信号の最大電圧値よりも高く設定する。この図 18 の選択回路 90 を使用しても加算器 56、57、88 を使用する場合と同一の効果をを得ることができる。

なお、図 18 のライン 93 にキャプスタンモータ 15 a、15 b、等を減速させることができるパルスを入力させるように構成すれば、図 16 及び図 17 の減算器 56'、57'、88' を図 18 の選択回路 90 に置き換えることができる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の第 1 の実施例の映像信号再生システムを示すブロック図である。

##### 【図 2】

図 1 の第 1 及び第 2 の VTR と同期化装置を詳しく示すブロック図である。

【図 3】

図 2 のコントローラを等価的に示すブロック図である。

【図 4】

図 2 の第 1 及び第 2 の V T R の一部と同期化装置とを更に詳しく示すブロック図である。

【図 5】

図 4 の同期化信号作成回路を詳しく示す回路図である。

【図 6】

図 6 の V T R 状態判定回路を詳しく示す回路図である。

【図 7】

第 1 及び第 2 の垂直同期信号の位相ずれのない場合の図 5 の各部の電圧状態を示す波形図である。

【図 8】

第 1 の垂直同期信号が第 2 の垂直同期信号よりも遅れている場合の図 5 の各部の電圧状態を示す波形図である。

【図 9】

第 2 の垂直同期信号が第 1 の垂直同期信号よりも大幅に遅れている場合の図 5 の各部の電圧状態を示す波形図である。

【図 1 0】

第 2 の実施例の映像信号再生システムを示すブロック図である。

【図 1 1】

図 1 0 の第 1、第 2 及び第 3 の V T R の一部と同期化装置とを詳しく示すブロック図である。

【図 1 2】

図 1 1 の同期化信号作成回路を詳しく示す回路図である。

【図 1 3】

第 1、第 2 及び第 3 の垂直同期信号が同相の場合の図 1 2 の各部の電圧状態を示す波形図である。

【図 1 4】



第 1、第 2 及び第 3 の垂直同期信号に位相ずれがある場合の図 1 2 の各部の電圧状態を示す波形図である。

【図 1 5】

第 2 の V T R が停止モードにある場合の図 1 2 の各部の電圧状態を示す波形図である。

【図 1 6】

図 5 の変形例の同期化信号作成回路の一部を示す回路図である。

【図 1 7】

図 1 2 の変形例の同期化信号作成回路の一部を示す回路図である。

【図 1 8】

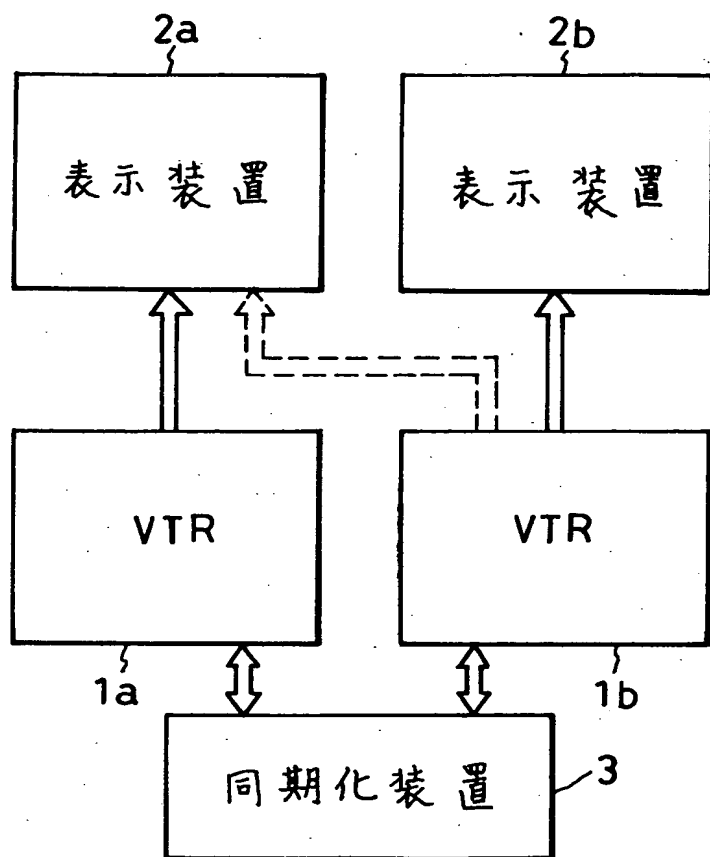
本発明の変形例の同期化信号作成回路の一部を示す回路図である。

【符号の説明】

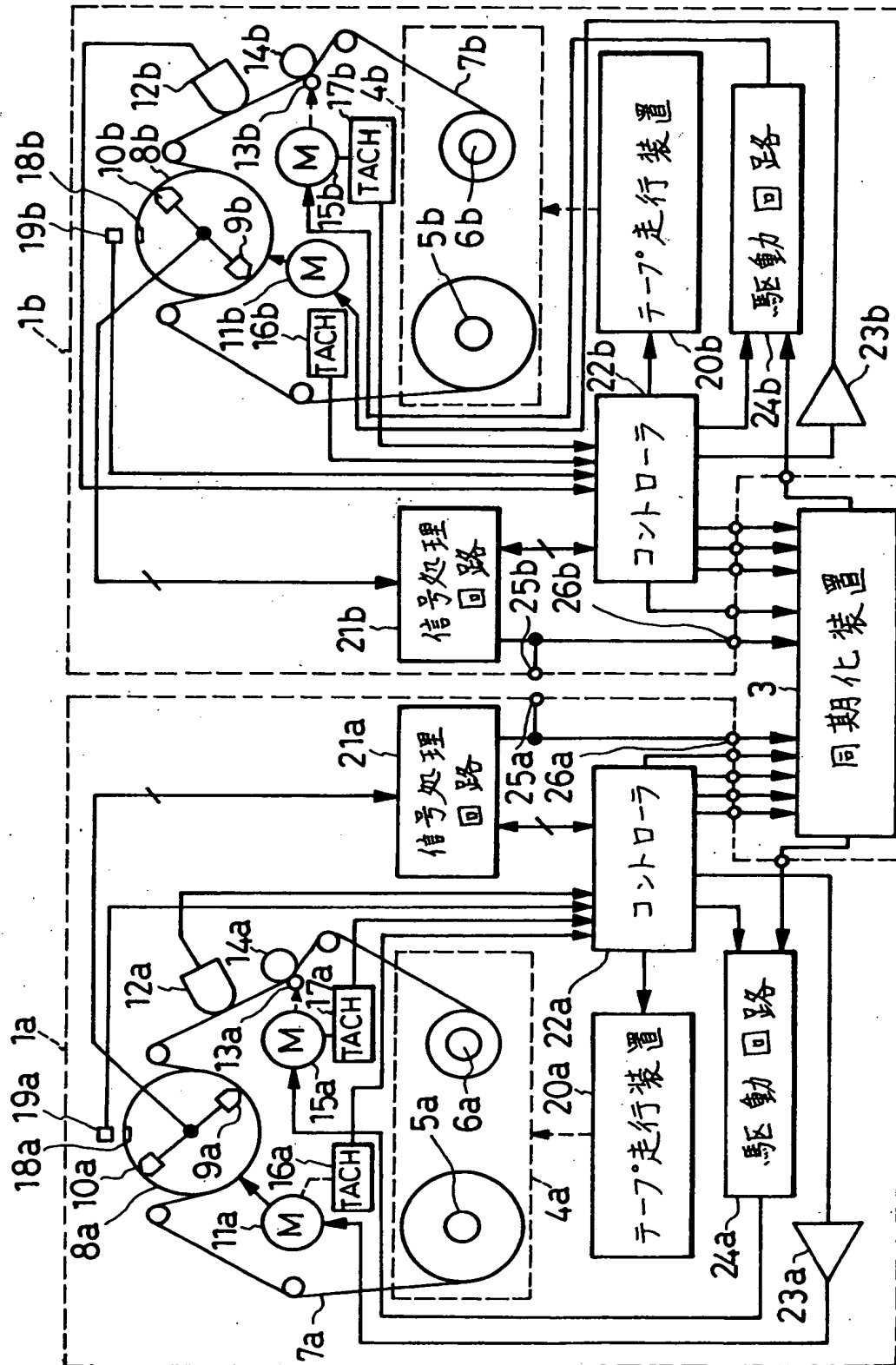
1 a、1 b、1 c	V T R
3、3'	同期化装置
1 5 a、1 5 b	キャプスタンモータ
4 2 a、4 2 b	垂直同期信号分離回路
4 3	同期化信号作成回路
5 4、5 5、7 0	位相比較用 D 型フリップフロップ

【書類名】 図面

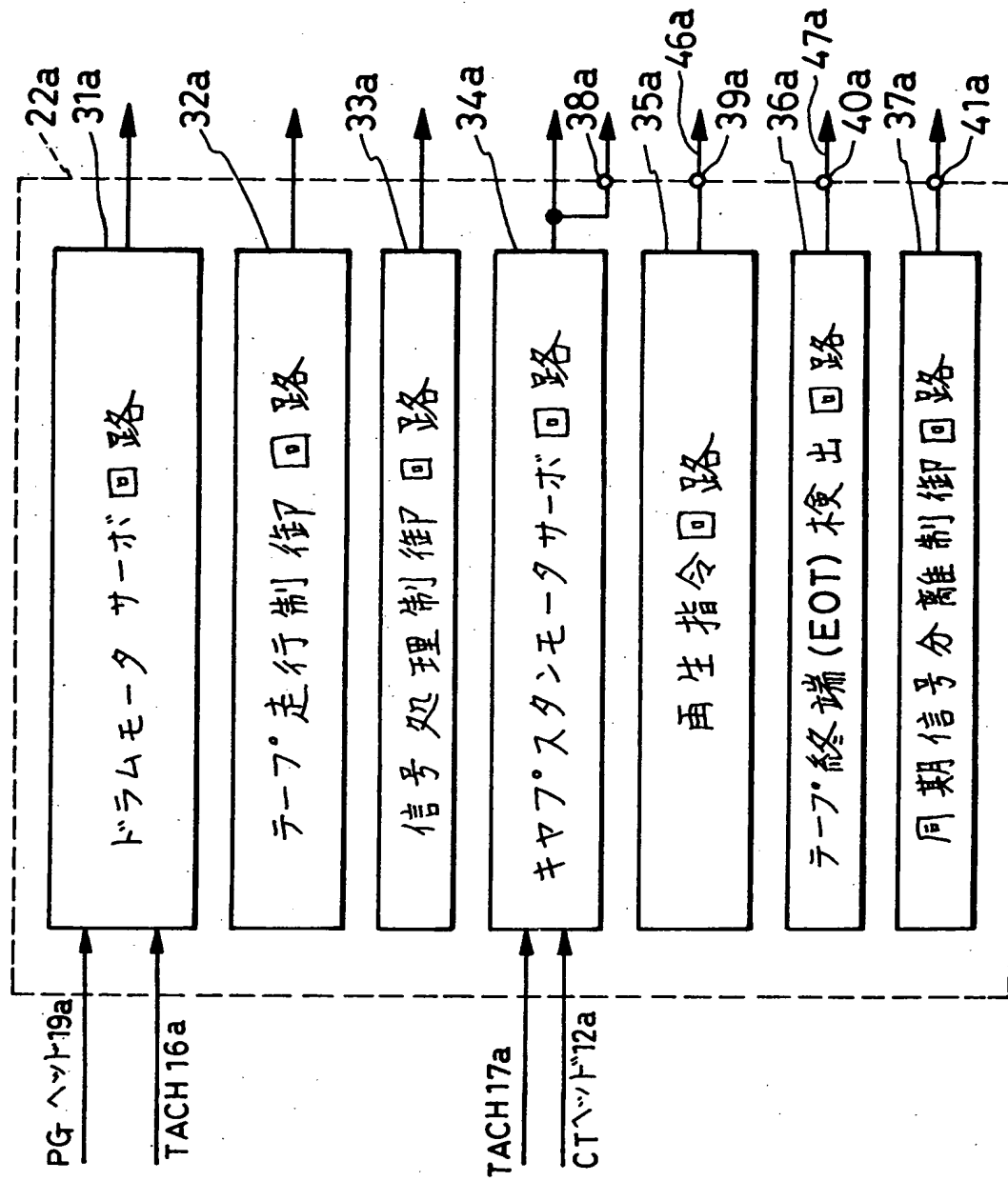
【図 1】



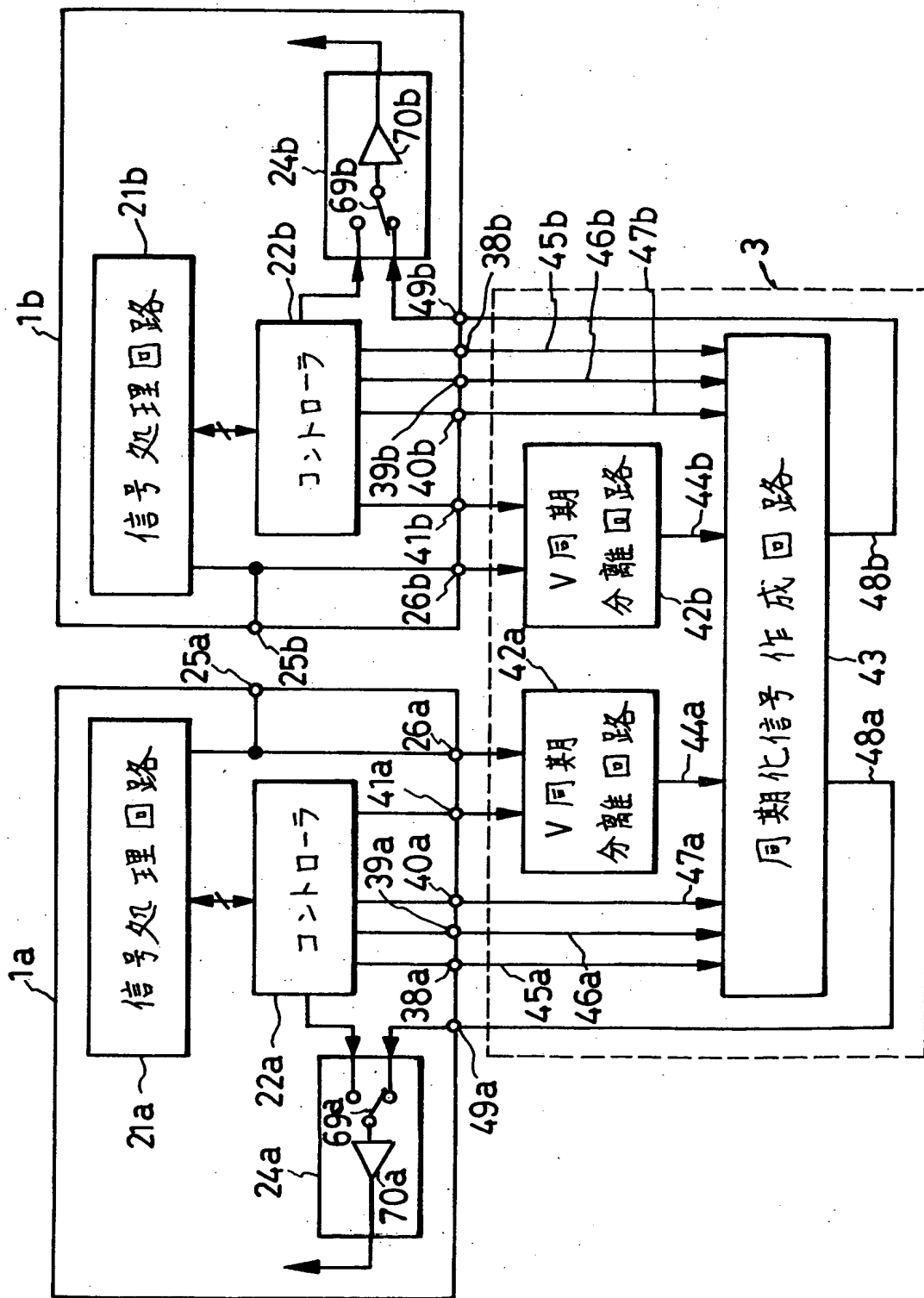
【図 2】



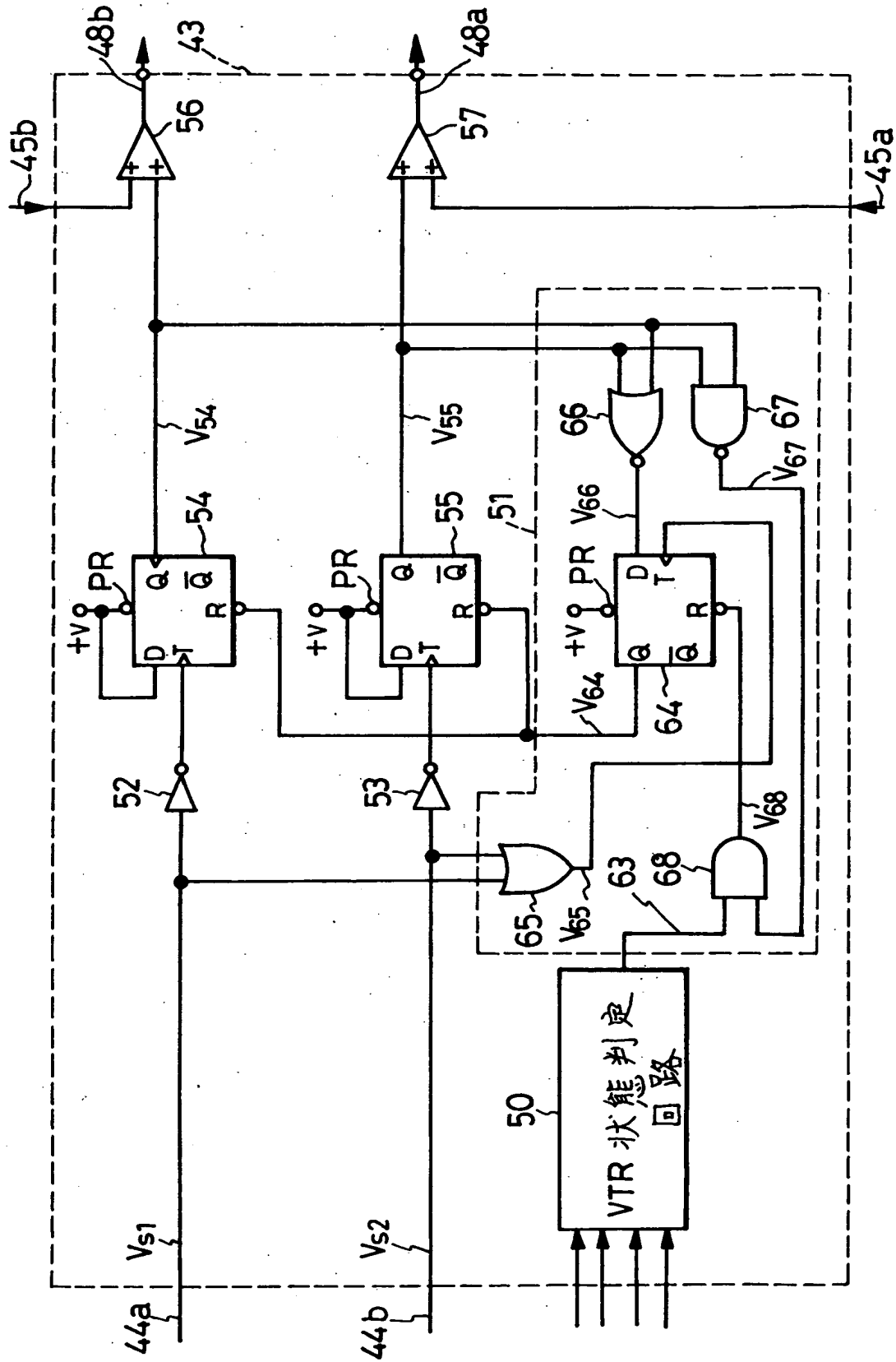
【図3】



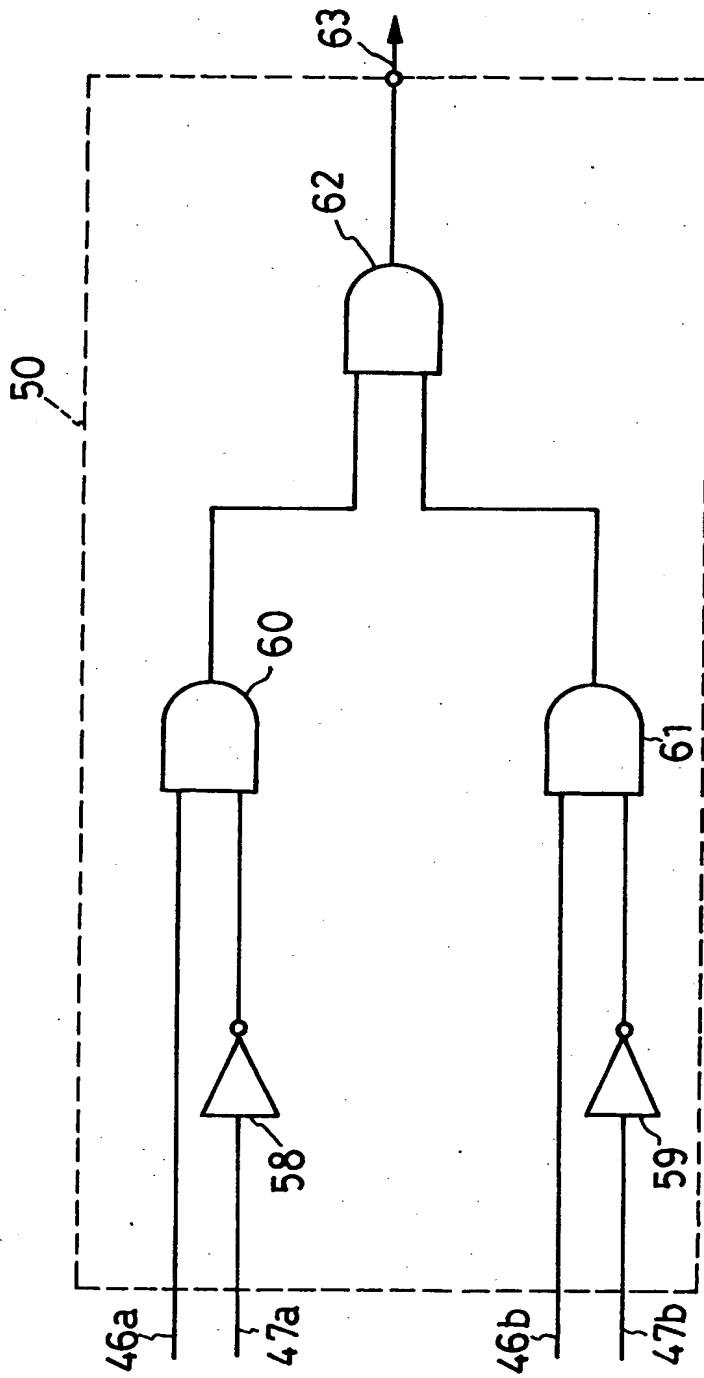
【図4】



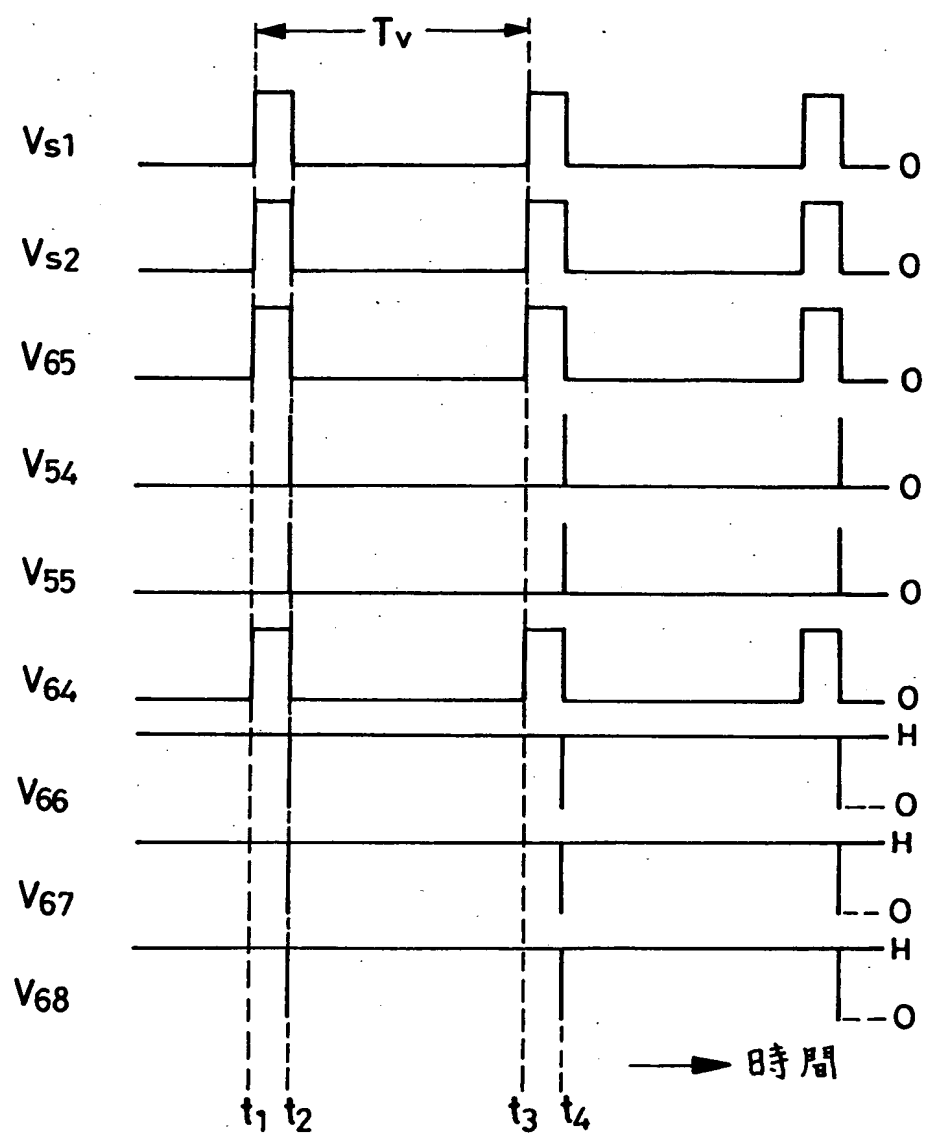
【図5】



【図 6】

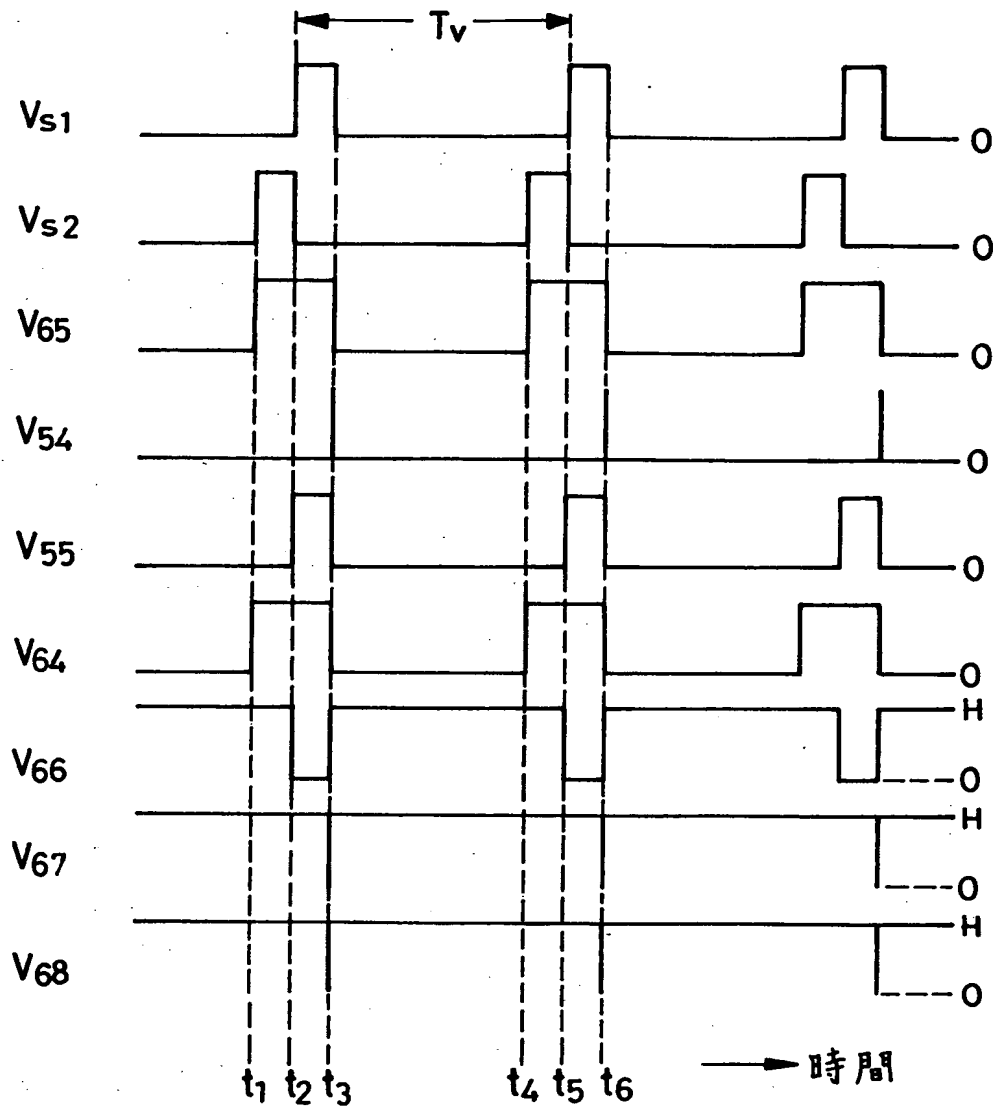


【図 7】

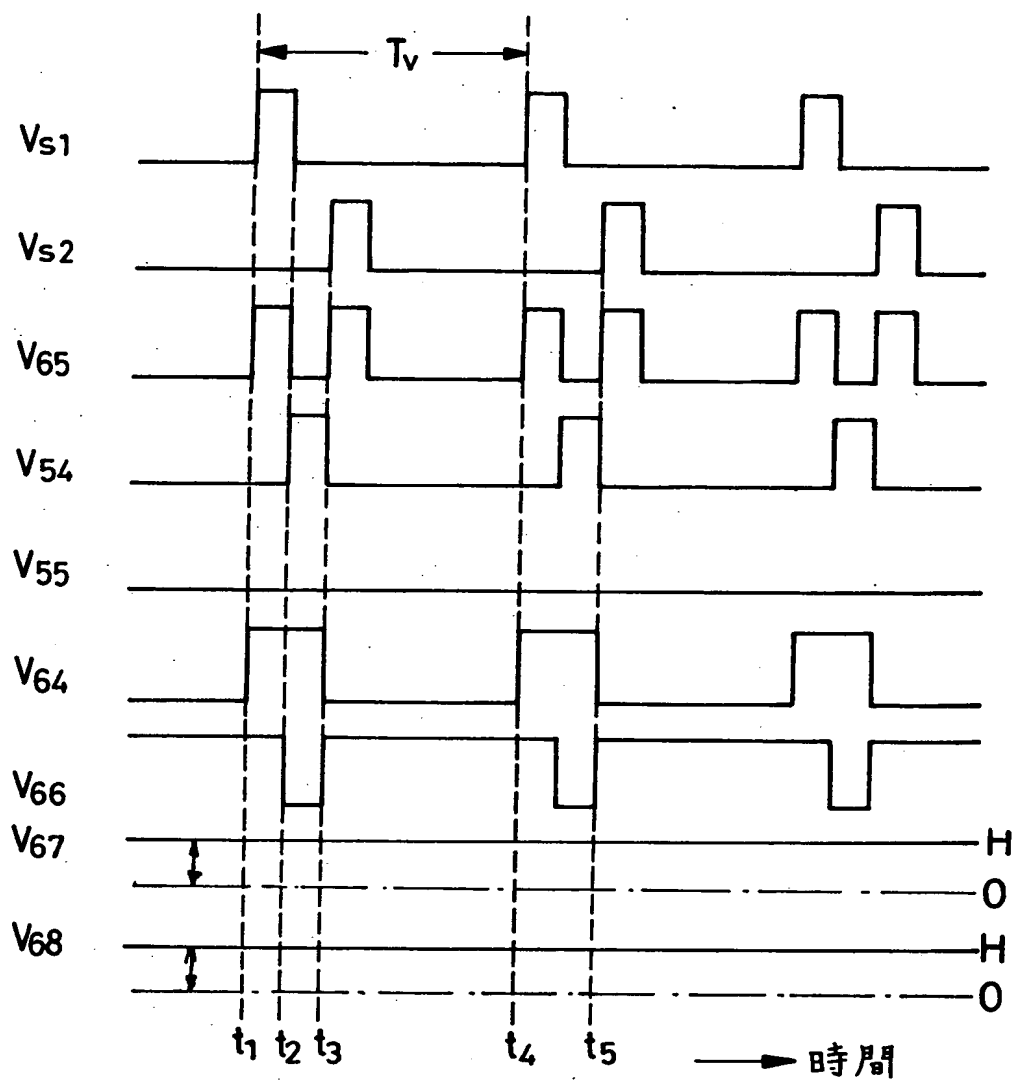




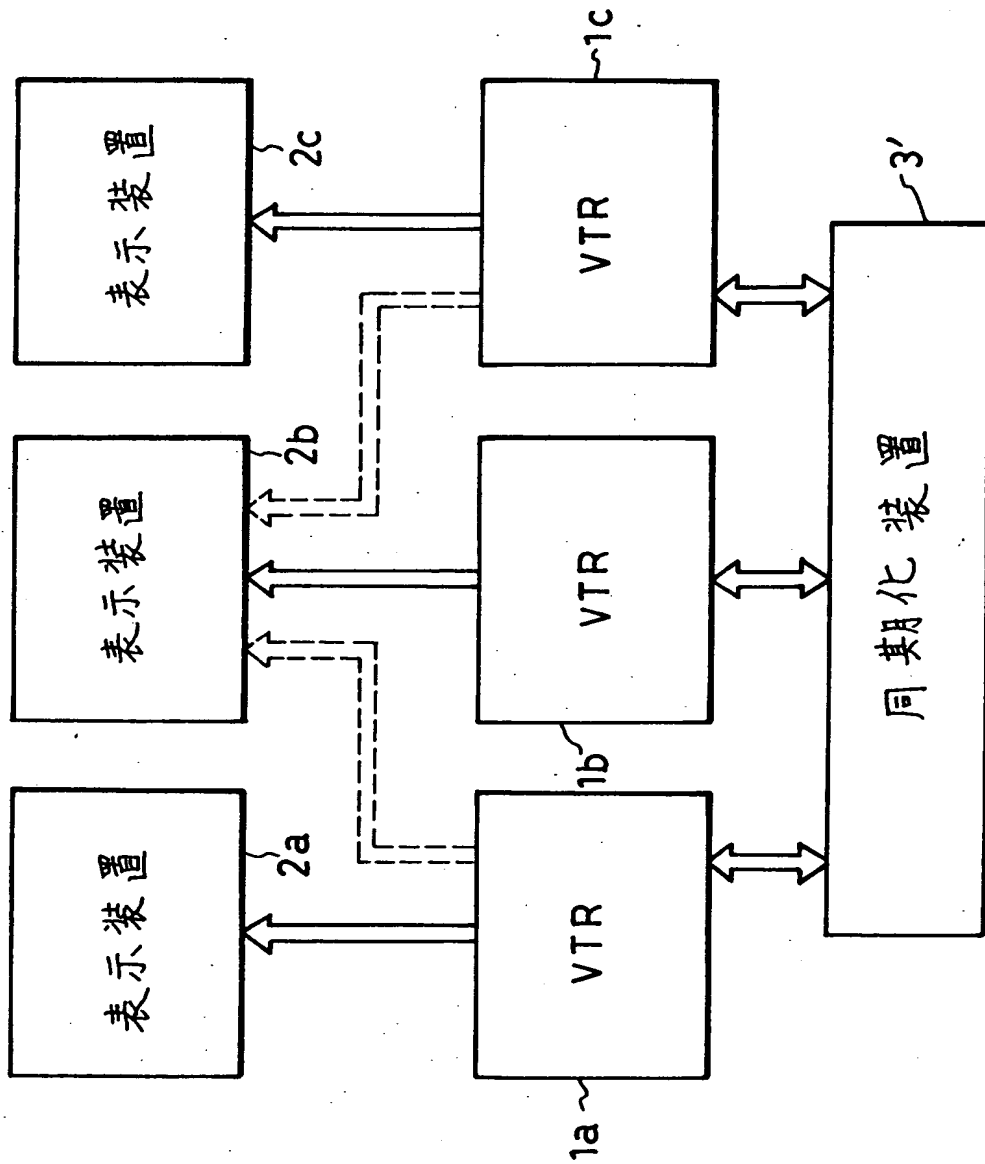
【図 8】



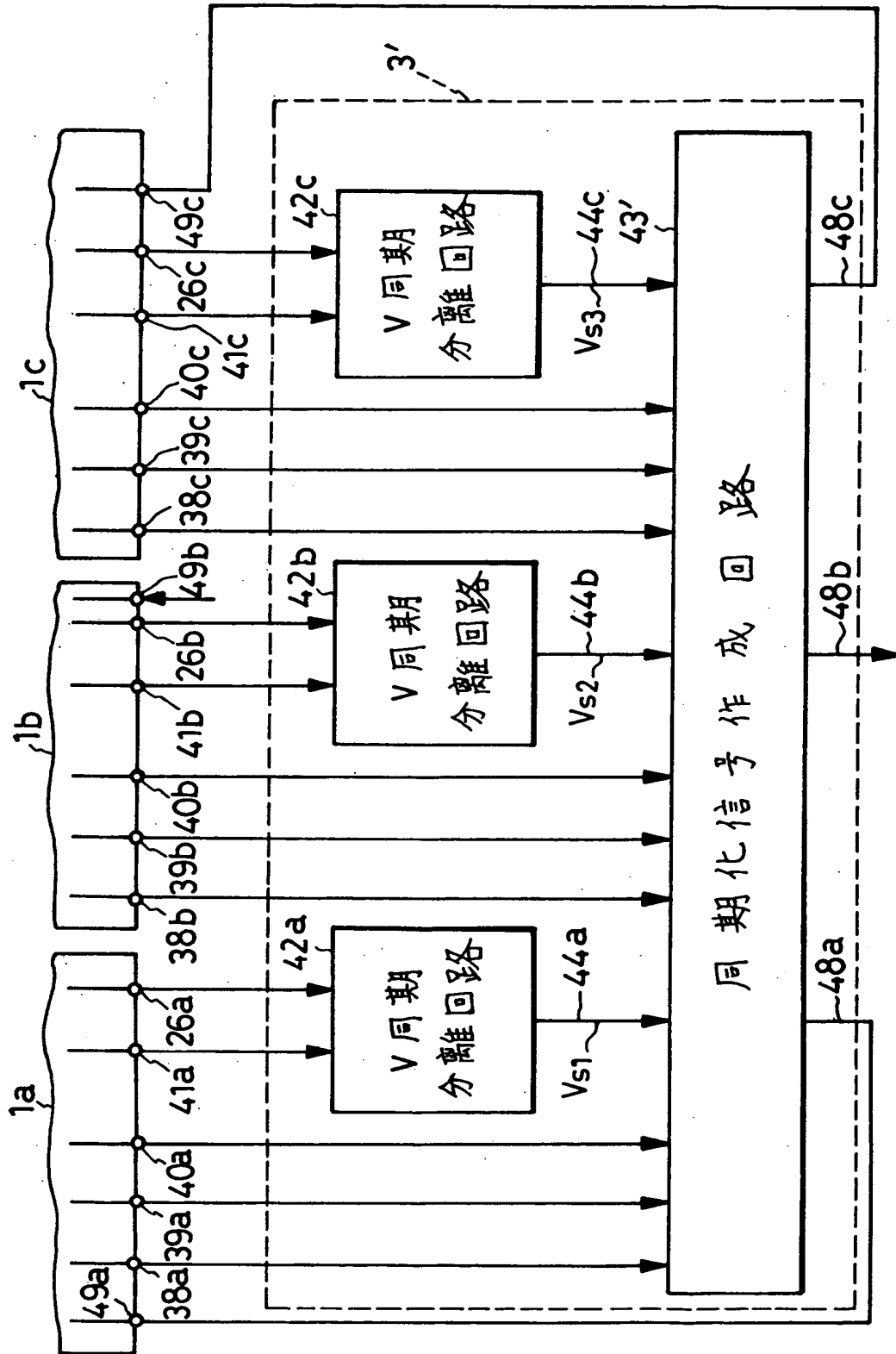
【図 9】



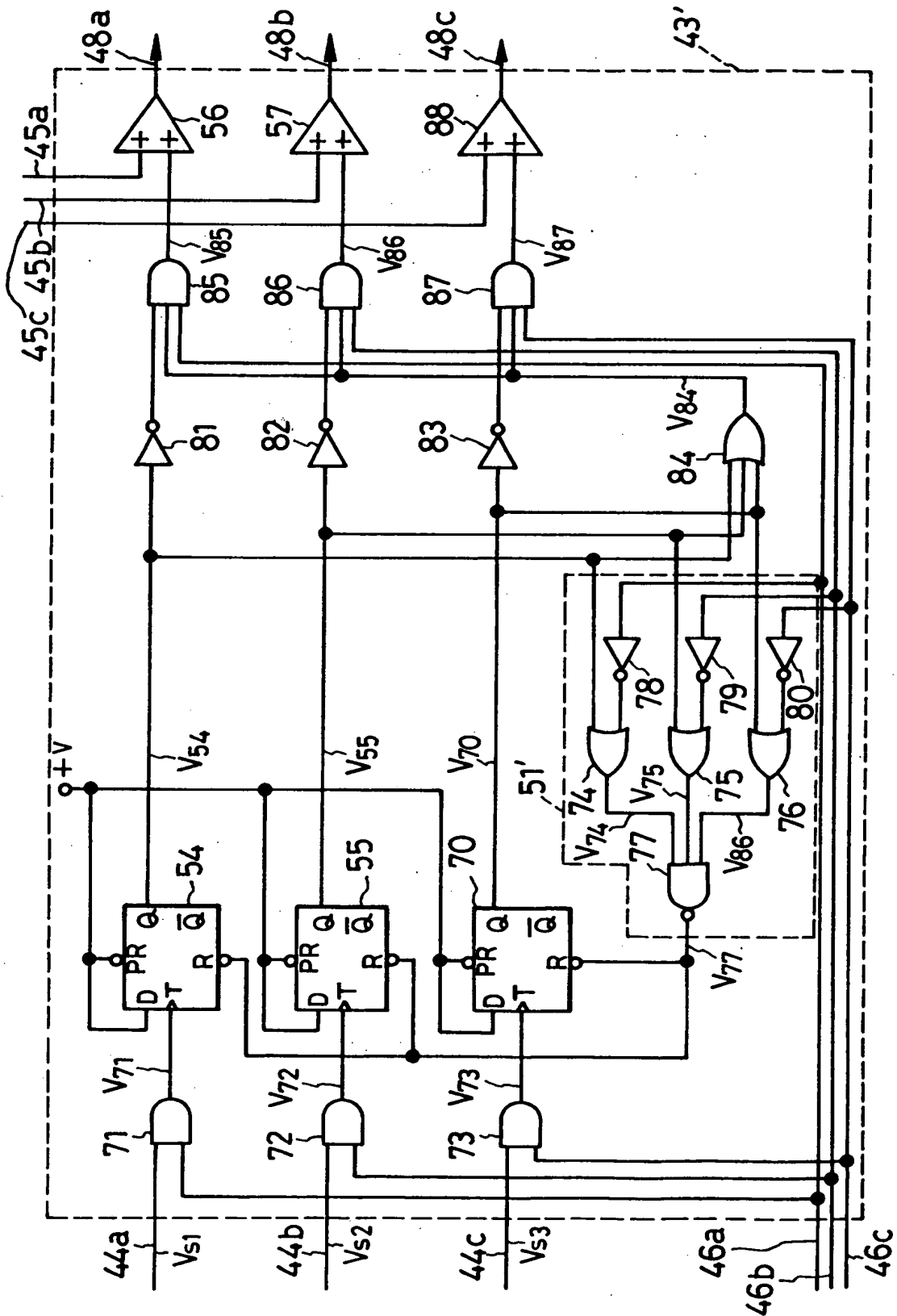
【図 1 0】



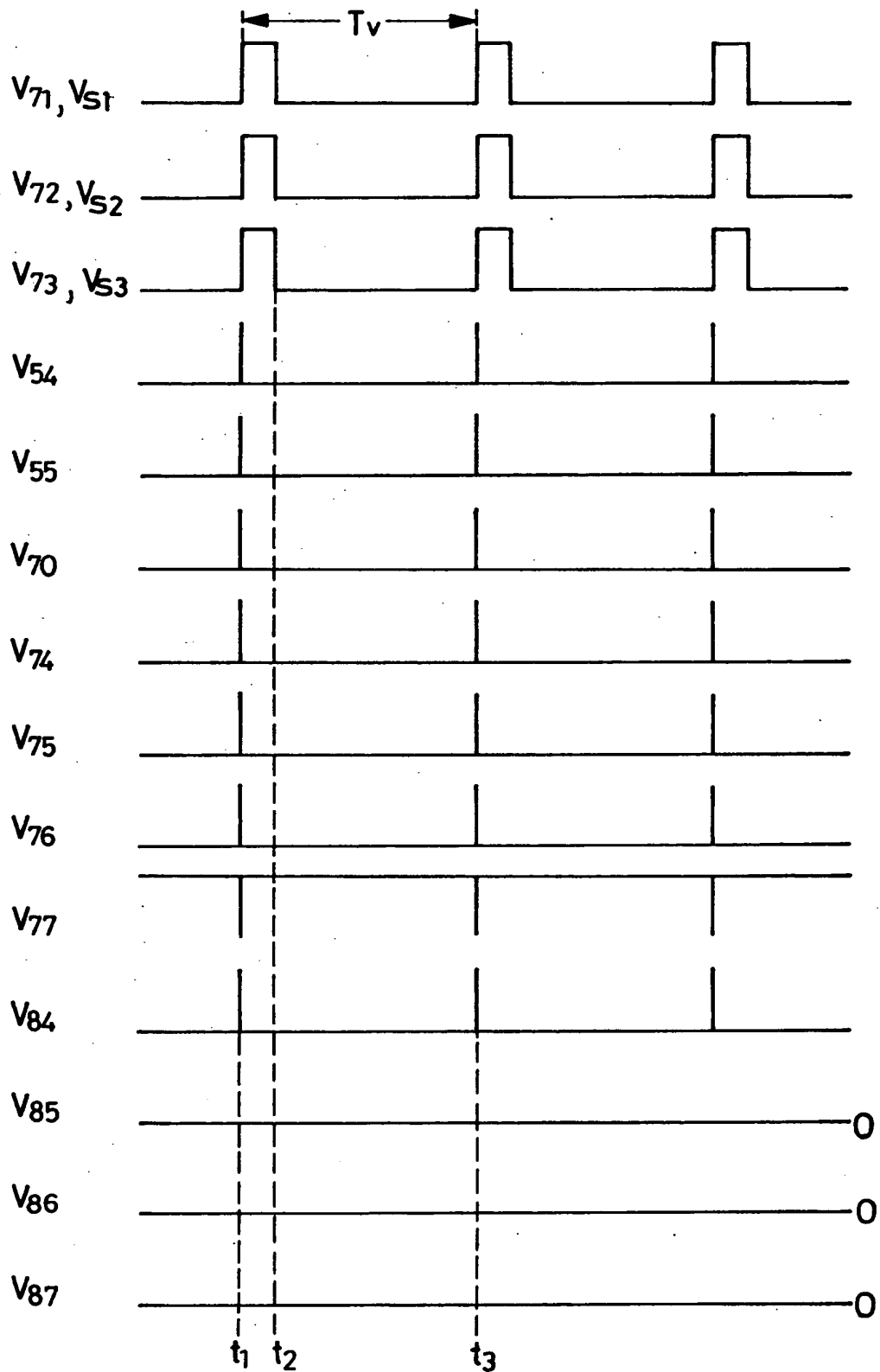
【図 11】



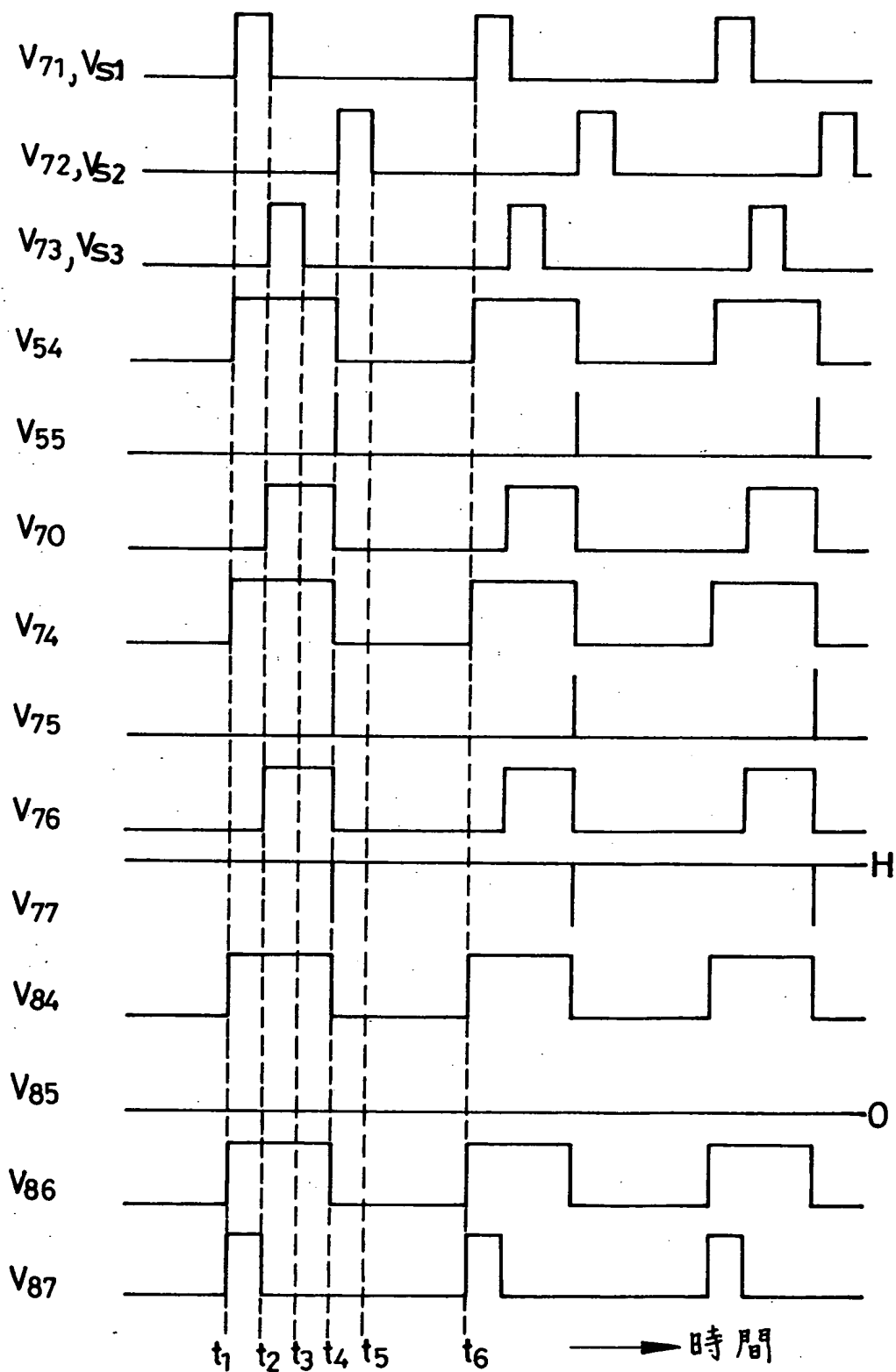
【図 12】



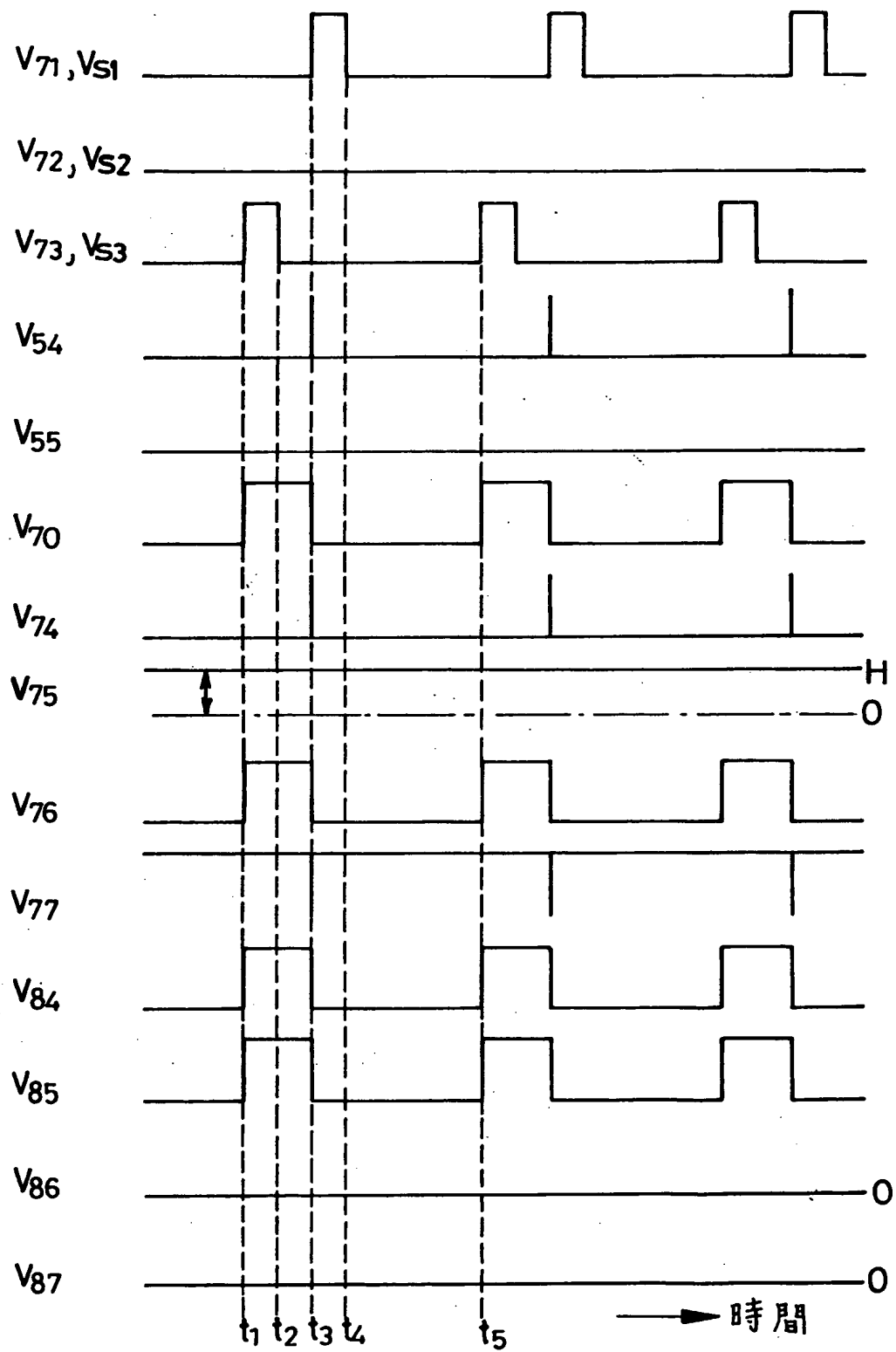
【図 13】



【図 14】

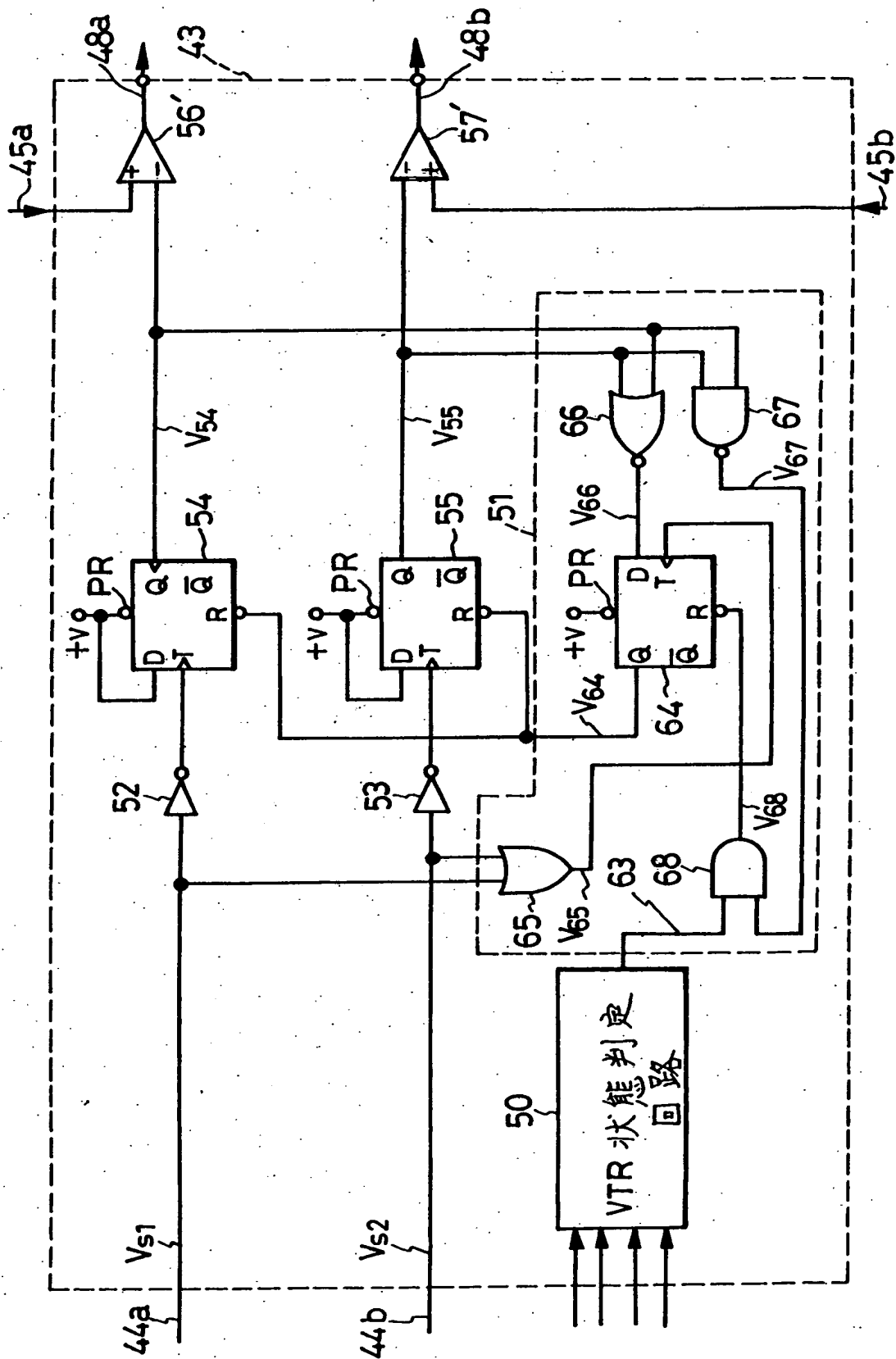


【図 15】

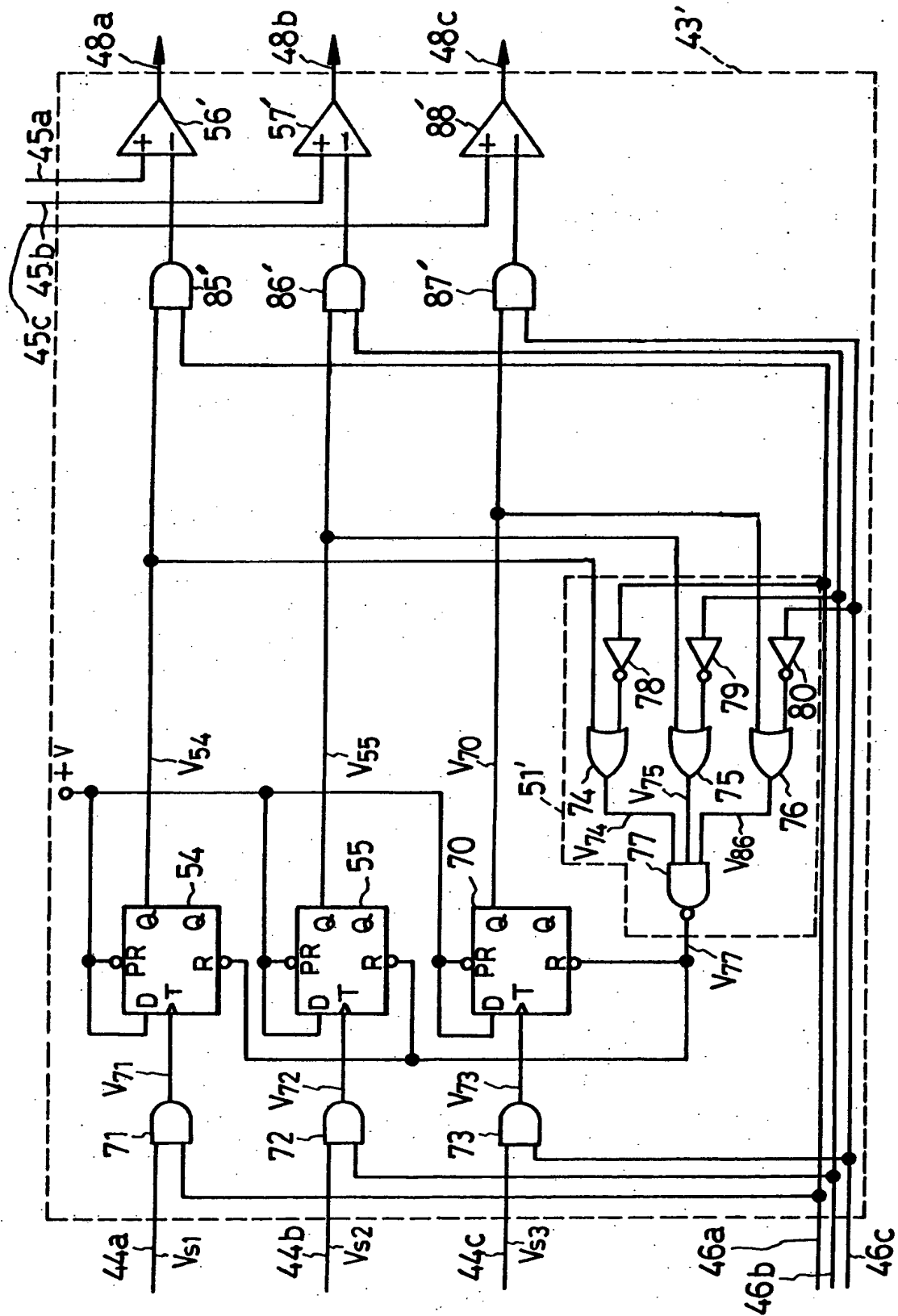




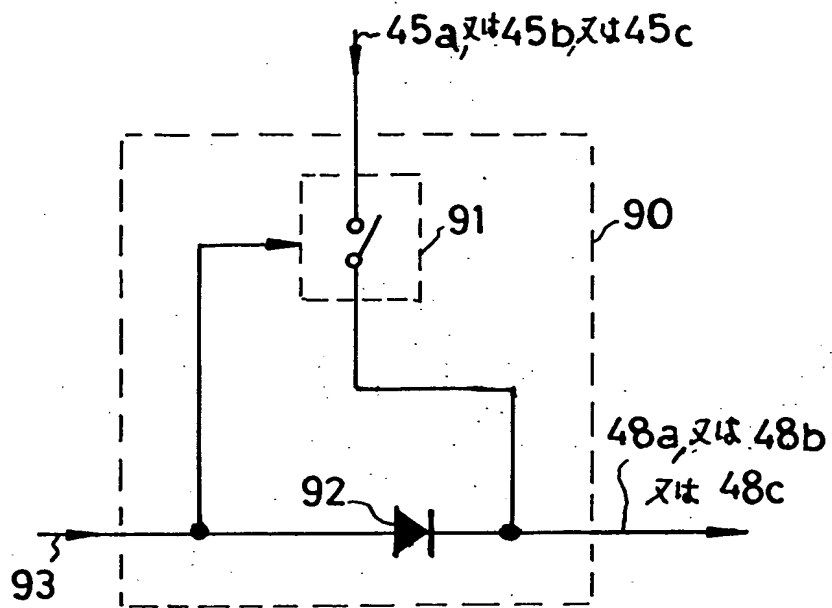
【図 16】



【図 17】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 複数台の V T R を同期化再生駆動する装置が複雑且つ高価になった。

【解決手段】 第 1 及び第 2 の V T R 1 a、1 b から得られた映像信号から第 1 及び第 2 の垂直同期信号を分離する。第 1 及び第 2 の垂直同期信号の中で位相の遅れている方を基準にして基準時間位置を決定し、この基準時間位置と第 1 及び第 2 の垂直同期信号との位相差信号を D 型フリップフロップで作成する。D 型フリップフロップの出力パルスによって遅れている方の垂直同期信号を発生している V T R のキャプスタンモータを加速制御し、第 1 及び第 2 の垂直同期信号の同期化を図る。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000003676]

1. 変更年月日 1990年 8月27日  
[変更理由] 新規登録  
住 所 東京都武蔵野市中町3丁目7番3号  
氏 名 ティアック株式会社